

uDAC8x08/10/12低功耗、高性能、带有缓冲的8通道8/10/12位DAC

6、引脚配置和功能

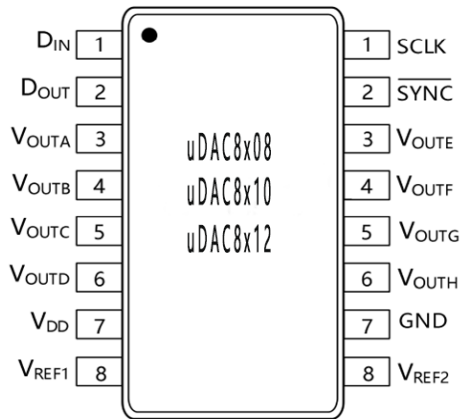


图1、TSSOP16管脚图

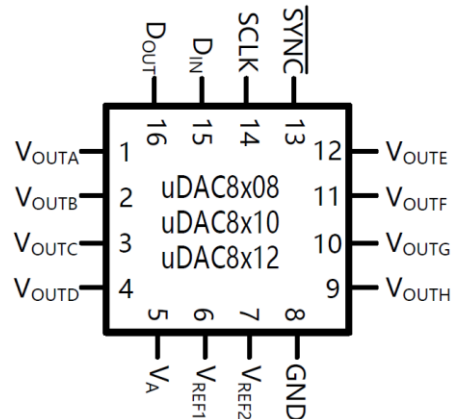


图2、QFN16管脚图

管脚功能

管脚名	管脚		类型	描述
	TSSOP 编号.	WQFN 编号.		
DIN	1	15	数字输入	串行数据输入. 在帧同步信号变高前, 16个时钟信号下降沿将数据输入至16位移位寄存器.
DOUT	2	16	数字输出	串行数据输出. 该数字输出在菊花链模式时使用, 用于连接另一块CBM128S085 芯片的输入. 出现 16 个时钟周期前, 帧同步信号变高, 该数字输出无效.
GND	10	8	接地	整个芯片的接地电位参考电压.
SCLK	16	14	数字输入	串行时钟输入. 数据被时钟记录到该引脚下降沿的输入移位寄存器中.
SYNC	15	13	数字输入	帧同步输入. 当该引脚变低时, 数据被写入SCLK下降沿的DAC输入移位寄存器. 在SCLK的第16个下降沿之后, SYNC的上升沿会导致DAC更新. 如果SYNC在SCLK的第15个下降沿之前变高, SYNC的上升沿将作为中断, DAC将忽略写入序列.
VA	7	5	电源	电源输入. 必须与GND断开连接.
VOUTA	3	1	模拟输出	通道A模拟输出电压.
VOUTB	4	2	模拟输出	通道B模拟输出电压.
VOUTC	5	3	模拟输出	通道C模拟输出电压.
VOUTD	6	4	模拟输出	通道D模拟输出电压.
VOUTE	14	12	模拟输出	通道E模拟输出电压.
VOUTF	13	11	模拟输出	通道F模拟输出电压.
VOUTG	12	10	模拟输出	通道G模拟输出电压.
VOUTH	11	9	模拟输出	通道H模拟输出电压.
VREF1	8	6	模拟输入	通道A、B、C和D共享的无缓冲参考电压必须与GND去耦.
VREF2	9	7	模拟输入	通道E、F、G和H共享的无缓冲参考电压必须与GND去耦.
PAD (仅QFN封装)	—	17	接地	暴露的管芯连接焊盘可以接地或保持悬空. 将焊盘焊接到PCB上可提供最佳的热性能, 并增强回流过程中的封装自对准.

uDAC8x08/10/12低功耗、高性能、带有缓冲的8通道8/10/12位DAC**7、规格****7.1 绝对最大额定值**

(TA=25°C, 特殊说明除外。) 表1

参数 ⁽¹⁾	符号	数值	单位
电源电压相对地	V _{Aabs}	-0.3 至 +7	V
数字输入电压相对地	V _{Digabs}	-0.3 至 +0.3	V
参考输入电压相对地	V _{refabs}	-0.3 至 +0.3	V
通道A 至 H 相对地	V _{outabs}	-0.3 至 +0.3	V
温度范围			
存储温度范围	T _S	-65°C 至 +150°C	°C
结温	T _{Jmax}	150°C	°C
ESD特性			
人体模型		5000V	V
机器模型		300V	V
充电设备模型		1000V	V

1、超出最大绝对额定值的操作可对芯片造成不可恢复的损坏，而长期暴露在最大绝对额定值下会影响芯片的可靠性。

7.2 建议操作条件

(TA=25°C, 特殊说明除外。) 表2

参数	符号	范围		单位
		最小值	最大值	
电源电压	V _A	2.7	5.5	V
工作电流 ⁽¹⁾	I _A	300	700	uA
环境温度	T _A	-40	125	°C
参考电压	V _{REF1} , V _{REF2}	0.5	V _A	V
输出负载	C _{Load}	0	1500	pF
SCLK 时钟频率	F _{SCLK}	\	40	MHz

1、DAC 输出空载情况下

7.3 封装热阻

表3

热计量		uDAC8x08/10/12		单位
		封装 (TSSOP16)	封装(QFN16)	
R _{θJA}	与环境热阻的连接	98	34	°C/W
R _{θJA}	与环境热阻的连接	31	25	
R _{θJA}	与环境热阻的连接	43	11	
φ _{JT}	结顶特性参数	2	0.2	
φ _{JB}	连接板特性参数	43	11	

uDAC8x08/10/12低功耗、高性能、带有缓冲的8通道8/10/12位DAC**7.4 电气特性**

以下规格适用于 $V_A=2.7V$ 至 $5.5V$ ， $V_{REF1}=V_{REF2}=V_A$ ， $C_L=200pF$ 至GND， $f_{SCLK}=30MHz$ ，输入码范围12至1011、48至4047(8x12 ONLY)。除非另有规定，否则所有限值均为 $T_A=25^\circ C$ 。表4

符号	参数	试验条件	最小值	典型值	最大值	单位
uDAC8x08						
分辨率		$T_{MIN} \leq TA \leq T_{MAX}$	8			Bits
单一性		$T_{MIN} \leq TA \leq T_{MAX}$	8			Bits
INL	积分非线性	$T_{MIN} \leq TA \leq T_{MAX}$		± 0.12	± 0.5	LSB
DNL	差分非线性	$T_{MIN} \leq TA \leq T_{MAX}$		0.03	0.15	LSB
		$T_{MIN} \leq TA \leq T_{MAX}$	-0.1	-0.02		LSB
uDAC8x10						
分辨率		$T_{MIN} \leq TA \leq T_{MAX}$	10			Bits
单一性		$T_{MIN} \leq TA \leq T_{MAX}$	10			Bits
INL	积分非线性	$T_{MIN} \leq TA \leq T_{MAX}$		± 0.5	± 2	LSB
DNL	差分非线性	$T_{MIN} \leq TA \leq T_{MAX}$		0.08	0.35	LSB
		$T_{MIN} \leq TA \leq T_{MAX}$	-0.04	-0.2		LSB
uDAC8x12						
分辨率		$T_{MIN} \leq TA \leq T_{MAX}$	12			Bits
单一性		$T_{MIN} \leq TA \leq T_{MAX}$	12			Bits
INL	积分非线性	$T_{MIN} \leq TA \leq T_{MAX}$		± 2	± 8	LSB
DNL	差分非线性	$T_{MIN} \leq TA \leq T_{MAX}$		0.15	0.75	LSB
		$T_{MIN} \leq TA \leq T_{MAX}$	-0.4	-0.09		LSB
静态性能						
ZE	零代码错误	$I_{OUT} = 0$		5	15	mV
FSE	满刻度误差	$I_{OUT} = 0$		-0.1	-0.75	%FSR
GE	增益误差			-0.2	-1	%FSR
ZCED	零代码错误漂移			-20		$\mu V/^\circ C$
TC GE	增益误差 Tempco			-1		ppm/ $^\circ C$
输出特性						
输出电压范围		$T_{MIN} \leq TA \leq T_{MAX}$	0		$V_{REF1,2}$	V
I_{OZ}	高阻抗输出漏电流	$T_{MIN} \leq TA \leq T_{MAX}$			± 1	μA
ZCO	零代码输出	$V_A = 3V, I_{OUT} = 200\mu A$		10		mV
		$V_A = 3V, I_{OUT} = 1mA$		45		mV
		$V_A = 5V, I_{OUT} = 200\mu A$		8		mV
		$V_A = 5V, I_{OUT} = 1mA$		34		mV
FSO	满标度输出	$V_A = 3V, I_{OUT} = 200\mu A$		2.984		V
		$V_A = 3V, I_{OUT} = 1mA$		2.933		V
		$V_A = 5V, I_{OUT} = 200\mu A$		4.987		V
		$V_A = 5V, I_{OUT} = 1mA$		4.955		V

uDAC8x08/10/12低功耗、高性能、带有缓冲的8通道8/10/12位DAC

7.5 电气特性 (续)

以下规格适用于 $V_A=2.7V$ 至 $5.5V$, $V_{REF1}=V_{REF2}=V_A$, $C_L=200pF$ 至 GND , $f_{SCLK}=30$ MHz, 输入码范围12至1011、48至4047(8x12 ONLY)。除非另有规定, 所有限值均为 $T_A=25^\circ C$ 。表4

符号	参数	试验条件	最小值	典型值	最大值	单位
I _{OS}	输出短路电流 (Source)	$V_A=3V, V_{OUT}=0V, \text{Input Code} = \text{FFFh}$		-50		mA
		$V_A=5V, V_{OUT}=0V, \text{Input Code} = \text{FFFh}$		-60		mA
I _{OS}	输出短路电流 (Sink)	$V_A=3V, V_{OUT}=3V, \text{Input Code} = \text{000h}$		50		mA
		$V_A=5V, V_{OUT}=5V, \text{Input Code} = \text{000h}$		70		mA
I _O	每个通道的连续输出电流	$T_A=105^\circ C$			10	mA
		$T_A=125^\circ C$			6.5	mA
C _L	最大负载电容	$R_L = \infty$		1500		pF
		$R_L = 2\text{ k}\Omega$		1500		pF
Z _{OUT}	直流输出阻抗			8		Ω
参考输入特性						
V _{REF1,2}	最小输入范围	$T_{MIN} \leq T_A \leq T_{MAX}$	2.7			V
	最大输入范围	$T_{MIN} \leq T_A \leq T_{MAX}$			V _A	
	输入阻抗			30		k Ω
逻辑输入特性						
I _{IN}	输入电流	$T_{MIN} \leq T_A \leq T_{MAX}$			± 1	μA
V _{IL}	输入低电压	$V_A = 2.7\text{ V to }3.6\text{ V}$		1	0.6	V
		$V_A = 4.5\text{ V to }5.5\text{ V}$		1.1	0.8	V
V _{IH}	输入高电压	$V_A = 2.7\text{ V to }3.6\text{ V}$	2.1	1.4		V
		$V_A = 4.5\text{ V to }5.5\text{ V}$	2.4	2		V
C _{IN}	输入电容	$T_{MIN} \leq T_A \leq T_{MAX}$			3	pF
功耗特性						
V _A	最低电源电压	$T_{MIN} \leq T_A \leq T_{MAX}$	2.7		5.5	V
I _N	电源引脚 V _A 的正常电源电流	f _{SCLK} = 30 MHz, 输出无负载	$V_A = 2.7\text{ V to }3.6\text{ V}$	460	560	μA
			$V_A = 4.5\text{ V to }5.5\text{ V}$	650	830	μA
	V _{REF1} 或 V _{REF2} 的正常电源电流	f _{SCLK} = 30 MHz, 输出无负载	$V_A = 2.7\text{ V to }3.6\text{ V}$	95	130	μA
			$V_A = 4.5\text{ V to }5.5\text{ V}$	160	220	μA
I _{ST}	电源引脚 V _A 的静态电源电流	f _{SCLK} = 0, 输出无负载	$V_A = 2.7\text{ V to }3.6\text{ V}$	370		μA
			$V_A = 4.5\text{ V to }5.5\text{ V}$	440		μA
	V _{REF1} 或 V _{REF2} 的静态电源电流	f _{SCLK} = 0, 输出无负载	$V_A = 2.7\text{ V to }3.6\text{ V}$	95		μA
			$V_A = 4.5\text{ V to }5.5\text{ V}$	160		μA
I _{PD}	PD 模式下的总断电电源电流	加载 PD 模式后, f _{SCLK} =30 MHz, SYNC=V _A , D _{IN} =0V	$V_A = 2.7\text{ V to }3.6\text{ V}$	0.2	1.5	μA
			$V_A = 4.5\text{ V to }5.5\text{ V}$	0.5	3	μA
		加载 PD 模式后, f _{SCLK} =0 MHz, SYNC=V _A , D _{IN} =0V	$V_A = 2.7\text{ V to }3.6\text{ V}$	0.1	1	μA
			$V_A = 4.5\text{ V to }5.5\text{ V}$	0.2	2	μA
P _N	总功耗 (输出空载)	f _{SCLK} = 30 MHz, 输出无负载	$V_A = 2.7\text{ V to }3.6\text{ V}$	1.95	3	mW
			$V_A = 4.5\text{ V to }5.5\text{ V}$	4.85	7	mW
		f _{SCLK} = 0, 输出无负载	$V_A = 2.7\text{ V to }3.6\text{ V}$	1.68		mW
			$V_A = 4.5\text{ V to }5.5\text{ V}$	3.8		mW
P _{PD}	PD 模式下的总功耗	加载 PD 模式后, f _{SCLK} =30 MHz, SYNC=V _A , D _{IN} =0V	$V_A = 2.7\text{ V to }3.6\text{ V}$	0.6	5.4	μW
			$V_A = 4.5\text{ V to }5.5\text{ V}$	2.5	16.5	μW
		加载 PD 模式后, f _{SCLK} =0, SYNC=V _A , D _{IN} =0V	$V_A = 2.7\text{ V to }3.6\text{ V}$	0.3	3.6	μW
			$V_A = 4.5\text{ V to }5.5\text{ V}$	1	11	μW

uDAC8x08/10/12低功耗、高性能、带有缓冲的8通道8/10/12位DAC**7.6 AC和定时特性**

以下规格适用于 $V_A=2.7V$ 至 $5.5V$, $V_{REF1,2}=V_A$, $C_L=200pF$ 至 GND , $f_{SCLK}=30MHz$, 输入码范围12至1011、48至4047(8x12 ONLY)。除非另有规定, 否则所有限值均为 $T_A=25^\circ C$ 。表5

符号	参数	试验条件	最小值	典型值	最大值	单位
f _{SCLK}	SCLK 频率			40		MHz
		$T_{MIN} \leq T_A \leq T_{MAX}$			30	MHz
t _s	输出电压建立时间	uDAC8x08 40h 至 C0h 代码更改 $R_L=2k\Omega$, $C_L=200pF$		3	4.5	μs
		uDAC8x10 100h 至 300h 代码更改 $R_L=2k\Omega$, $C_L=200pF$		4.5	6	μs
		uDAC8x12 400h 至 C00h 代码更改 $R_L=2k\Omega$, $C_L=200pF$		6	8.5	μs
SR	输出转换速率			1		V/ μs
GI	毛刺脉冲	uDAC8x08 代码从 80h 更改为 7Fh uDAC8x10 代码从 200h 更改为 1FFh uDAC8x12 代码从 800h 更改为 7FFh		40		nV-sec
DF	数字馈通			0.5		nV-sec
DC	数字串扰			0.5		nV-sec
CROSS	多通道串扰			1		nV-sec
MBW	输出带宽	$V_{REF1,2}=2.5V \pm 2V_{pp}$		360		kHz
THD+N	总谐波失真与噪声	$V_{REF1,2}=2.5V \pm 0.5V_{pp}$ 100Hz < f _{IN} < 20kHz		-80		dB
ONSD	输出噪声频谱密度	uDAC8x08 代码=80h, 10kHz uDAC8x10 代码=200h, 10kHz uDAC8x12 代码=800h, 10kHz		40		nV/ \sqrt{Hz}
ON	输出噪声	BW=30kHz		14		μV
t _{wu}	唤醒时间	$V_A=3V$		3		μs
		$V_A=5V$		20		μs
1/f _{SCLK}	SCLK 最小周期			25		ns
		$T_{MIN} \leq T_A \leq T_{MAX}$	33			ns
t _{CH}	SCLK 最小高电平时间		7	7		ns
		$T_{MIN} \leq T_A \leq T_{MAX}$	10			ns
t _{CL}	SCLK 最小低电平时间		7	7		ns
		$T_{MIN} \leq T_A \leq T_{MAX}$	10			ns
t _{SS}	SYNC 最小建立时间			3	1/f _{SCLK} -3	ns
		$T_{MIN} \leq T_A \leq T_{MAX}$	10			ns
t _{DS}	DATA 最小建立时间			1		ns
		$T_{MIN} \leq T_A \leq T_{MAX}$	2.5			ns
t _{DH}	DATA 最小保持时间			1		ns
		$T_{MIN} \leq T_A \leq T_{MAX}$	2.5			ns
t _{SH}	SCLK 第 16 个下降沿后的 SYNC 保持时间。			0	1/f _{SCLK} -3	ns
		$T_{MIN} \leq T_A \leq T_{MAX}$	3			ns
t _{SYNC}	SYNC 最小高电平时间			5		ns
		$T_{MIN} \leq T_A \leq T_{MAX}$	15			ns

uDAC8x08/10/12低功耗、高性能、带有缓冲的8通道8/10/12位DAC

8、典型特征

$V_A = +2.7V$ 至 $+5.5V$, $V_{REF1,2} = V_A$, $f_{SCLK} = 30MHz$, $T_A = 25^\circ C$, 除非另有说明。

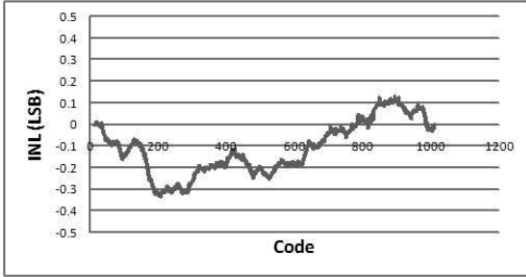


图3、uDAC8x10典型INL

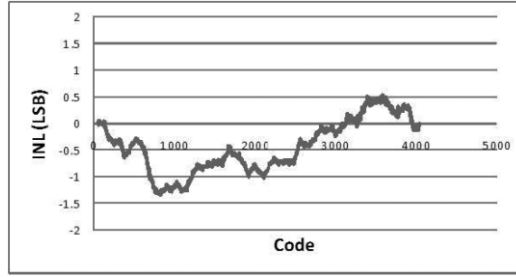


图4、uDAC8x12典型INL

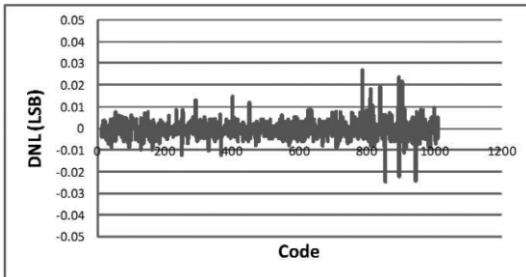


图5、uDAC8x10典型DNL

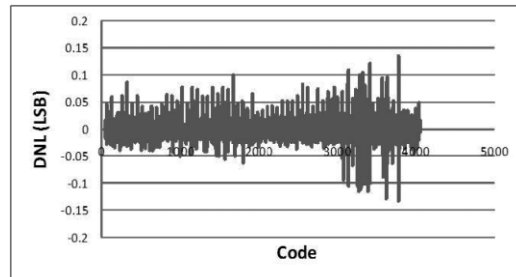


图6、uDAC8x12典型DNL

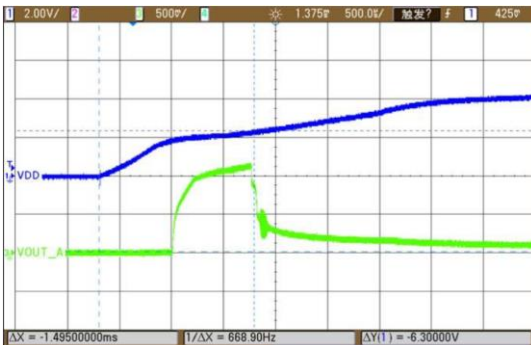


图7、DAC唤醒（退出休眠状态）过程

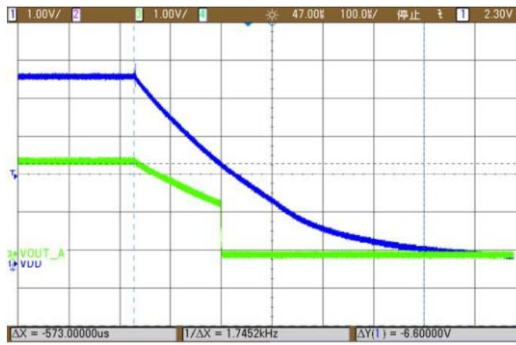


图8、输出建立过程（0.25满幅至0.75满幅变化）

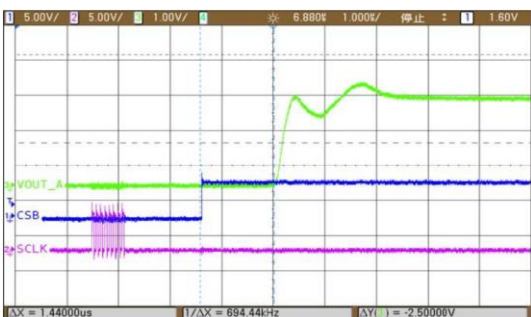


图9、上电复位

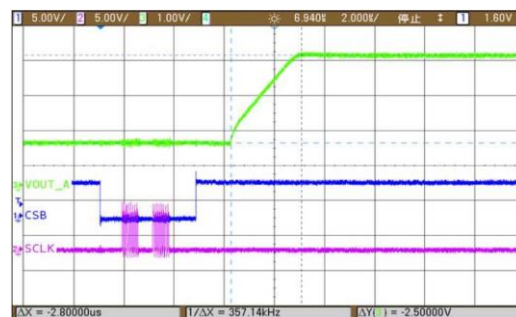


图10、断电复位

uDAC8x08/10/12低功耗、高性能、带有缓冲的8通道8/10/12位DAC

9、DAC 结构

uDAC8x08/10/12是含有8通道的DAC，每个通道都包含一个DAC寄存器、一个电阻串结构DAC和一个输出驱动电路。电阻串结构DAC通过电阻串分压产生对应的电平，然后开关选择相应输出。为了驱动外部负载，每通道输出端都增加了一缓冲驱动电路。电阻串DAC结构示意图如图11所示，电阻串由N个等值电阻组成，参考电压直接加在电阻串上，电阻分压产生N个输出电压，分别由N个开关控制，相邻电压均为VLSB。每个电阻电压均可通过闭合对应开关输出，数字输入信号控制开关的闭合与断开，每个输入码对应一个开关，因此对于8bit精度，N=256；对于10bit精度，N=1024；对于12bit精度，N=4096。

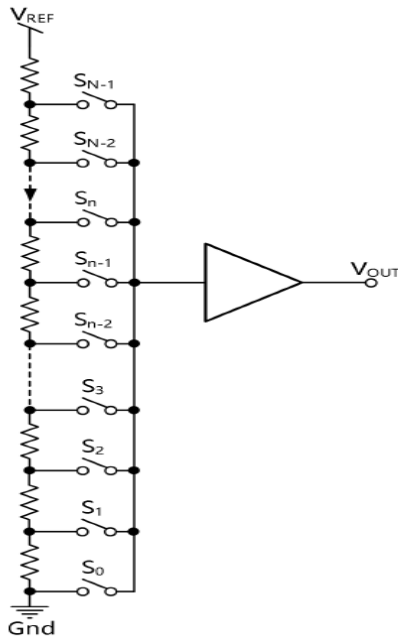


图11、DAC电阻串

当输入数字信号为D时：

$$V_{OUT} = V_{REF} \times (D/N)$$

uDAC8x12时N=4096；uDAC8x10时N=1024；uDAC8x08时N=256。uDAC8x08/10/12中的8通道DAC，其中ABCD通道采用 V_{REF1} 参考电压，EFGH通道采用 V_{REF2} 参考电压，参考电压直接从外部输入因而可以灵活设置。数字信号D由串行接口写入内部DAC寄存器，进而控制DAC最终输出电压。uDAC8x08/10/12的8通道DAC可以单独控制其使能或休眠，休眠状态下DAC的输出有三种模式：高阻、2.5K欧姆阻抗到地和100K欧姆阻抗到地，可以根据实际需要进行选择。DAC输出缓冲驱动电路采用轨到轨结构，输出电压范围为 $[0, V_A]$ （实际输出电压范围受限于参考电压的大小），当输出电压接近0或 V_A 时，缓冲驱动电路的线性度会快速恶化，因此线性度指标INL的定义中去掉了部分最大码和最小码，在实际应用中应需注意。输出缓冲驱动电路可以驱动2K欧姆电阻负载以及1500pF到地或电源的电容。负载电阻减小时，驱动电流相应增大，导致输出电压会有所变化，具体的结果请参考前面的特性说明。缓冲驱动电路内置输出短路保护装置，保护电流典型值为20mA。

uDAC8x08/10/12低功耗、高性能、带有缓冲的8通道8/10/12位DAC

10、串行接口描述

输入端的三线串行接口与SPITM, QSPI和MICROWIRE, 以及大多数的DSP接口兼容, 其时钟工作频率最高能达到40MHz。芯片的写操作在时钟下降沿进行, 数据以16个周期为一帧, 即在一帧数据同步序列内有16个时钟下降沿, 详细接口时序如图12所示, 具体数值请参考表5。

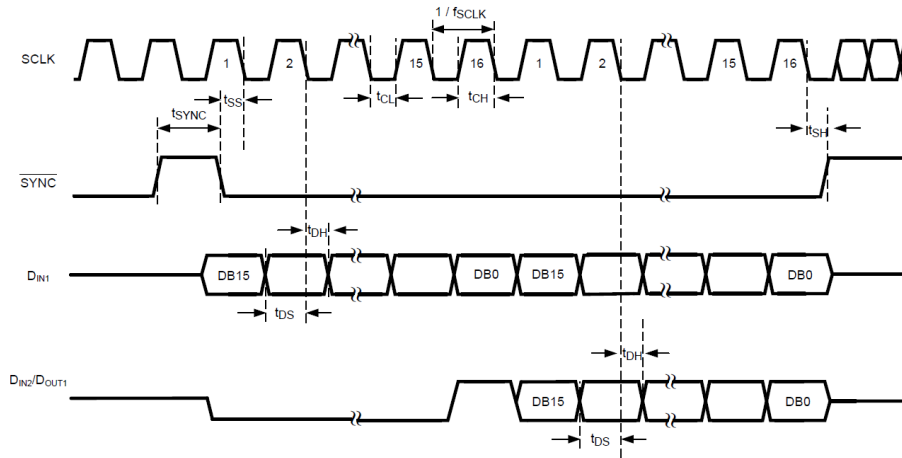


图12、串行时序图

以写一帧数据为例, 当SYNC信号拉低, 芯片的写操作开始执行, 在DIN输入的数据通过SCLK的下降沿同步至移位寄存器。为了避免时钟错误, 需要保证SYNC下降沿与时钟下降沿之间的建立时间 (SYNC与SCLK的时序关系)。当SCLK的第16个时钟下降沿到来, 最后一位数据写入移位寄存器。此时若SYNC信号变高, 芯片开始进行编程操作 (通道选择, 模式选择与寄存器内容变更等)。SYNC信号变高之后的时钟下降沿不会对芯片产生影响。若SYNC在第15个时钟下降沿前变高, 移位寄存器中写序列操作数据将被视为无效。当时钟沿超过17个下降沿时, DIN的数据将在DOUT端口上依次输出。这种操作模式的更多信息可参考菊花链工作模式。当DIN为高时, 输入端驱动器需要消耗更多的电流, 在写序列有效时, DIN应当处于闲置状态从而降低功耗。另一方面, 当处于菊花链模式DOUT有效输出时, 同步帧信号应处于空闲状态。

11、菊花链工作模式

菊花链工作模式允许单个串行控制器同时对多个芯片进行操作, 进而减少信号线数目并且简化连接。菊花链工作模式下, 所有芯片共享SYNC和SCLK信号, 前一芯片的DOUT信号接后一芯片的DIN。串行接口接收数据时仍然以帧为单位, 当数据长度超过一帧时, 芯片在接收当前帧的同时会把前一帧的数据依次从DOUT端口输出给后续芯片, 进而作为后续芯片的数据输入。当SYNC信号上升沿到来时, 所有芯片会把当前接收到的帧数据同时更新至串行输入寄存器。

以三颗芯片菊花链为例进行说明, 此时连接如图13所示, DAC1的DOUT输出给DAC2的DIN, DAC2的DOUT输出给DAC3的DIN。串行控制器发送数据时的时序如图14所示, 在SYNC信号为低时发送3帧数据, 分别输出给DAC3、DAC2和DAC1, 注意数据发送顺序。需要特别注意的是DOUT是在SCLK信号下降沿更新的, 将在SCLK信号的下一下降沿被后续芯片采样, 为了保证正确采样需要满足DIN信号保持时间的要求, 因此需要特别注意板上SYNC、SCLK、DIN和DOUT信号的延时, 必要时需要在DIN和DOUT中间加入延时。

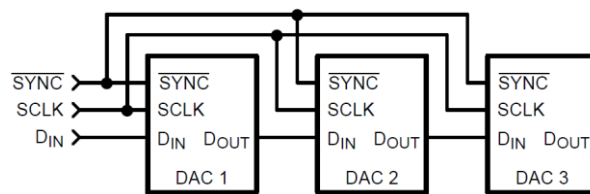


图13、菊花链连接

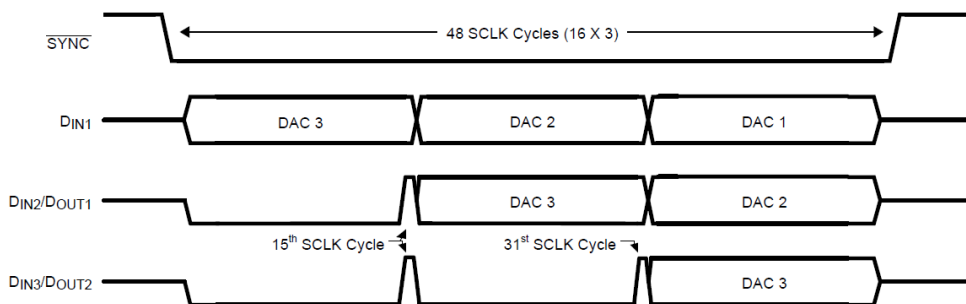


图15、菊花链时序

uDAC8x08/10/12低功耗、高性能、带有缓冲的8通道8/10/12位DAC

12、串行输入寄存器

串行输入寄存器以16位为一帧，记为DB[15:0]，其中前4位DB[15:12]为模式控制位，后12位DB[11:0]为数据位。串行输入寄存器的说明一览表如表6所示。uDAC8x10为10bitDAC，因此当D[15]=0时，数据位D[11:0]中只有D[11:2]有效，剩余D[1:0]无效。D[11]为MSB，D[0]为LSB。DB[15:12]把串行输入数据分为4种类型，分别是：写数据/DAC寄存器、模式控制、特殊命令和休眠模式，分别对应不同的功能。

串行输入寄存器说明。表6

类型	DB[15:12]	DB[11:0]	说明
休眠模式	1111	xxxx_HGFEDCBA	DB[7:0]相应位为“1”时，对应通道进入休眠状态，2.5K欧姆阻抗输出
	1110	xxxx_HGFEDCBA	DB[7:0]相应位为“1”时，对应通道进入休眠状态，100K欧姆阻抗输出
	1101	xxxx_HGFEDCBA	DB[7:0]相应位为“1”时，对应通道进入休眠状态，高阻输出
特殊命令	1100	D11 D10 ... D1 D0	广播模式：所有通道的数据寄存器和DAC寄存器同时更新为DB[11:0]的值。
	1011	D11 D10 ... D1 D0	A通道更新：A通道的数据寄存器和DAC寄存器同时更新为DB[11:0]，其它7个通道的DAC寄存器也同时更新为对应数据寄存器的值。
	1010	xxxx_HGFEDCBA	更新选择：当DB[7:0]某位为“1”时，对应通道DAC寄存器更新为数据寄存器的值，DAC输出也随着更新。
模式控制	1001	xxxx_xxxx_xxxx	WTM：将数据写入通道的寄存器会导致DAC输出发生变化。
	1000	xxxx_xxxx_xxxx	WRM：每个DAC通道的寄存器都可以写入，而不会导致其输出发生变化。
数据寄存器 DAC寄存器	0111	D11 D10 ... D1 D0	WRM: D[11:0]仅写入H通道数据寄存器；WTM: D[11:0]直接更新H通道DAC寄存器
	0110	D11 D10 ... D1 D0	WRM: D[11:0]仅写入G通道数据寄存器；WTM: D[11:0]直接更新G通道DAC寄存器
	0101	D11 D10 ... D1 D0	WRM: D[11:0]仅写入F通道数据寄存器；WTM: D[11:0]直接更新F通道DAC寄存器
	0100	D11 D10 ... D1 D0	WRM: D[11:0]仅写入E通道数据寄存器；WTM: D[11:0]直接更新E通道DAC寄存器
	0011	D11 D10 ... D1 D0	WRM: D[11:0]仅写入D通道数据寄存器；WTM: D[11:0]直接更新D通道DAC寄存器
	0010	D11 D10 ... D1 D0	WRM: D[11:0]仅写入C通道数据寄存器；WTM: D[11:0]直接更新C通道DAC寄存器
	0001	D11 D10 ... D1 D0	WRM: D[11:0]仅写入B通道数据寄存器；WTM: D[11:0]直接更新B通道DAC寄存器
	0000	D11 D10 ... D1 D0	WRM: D[11:0]仅写入A通道数据寄存器；WTM: D[11:0]直接更新A通道DAC寄存器

所有DAC通道都包含两个寄存器：数据寄存器和DAC寄存器，更新DAC寄存器会直接更新DAC的输出模拟信号；数据寄存器暂存串行接口输入的数据，用户可以发送命令把DAC寄存器更新为数据寄存器中的值。当所有数据寄存器都写入后，用户可以发送命令控制所有DAC通道的输出同时更新。串行接口控制寄存器的更新有两种方式：WRM(Write Register Mode)和WTM(Write Through Mode)。写数据/DAC寄存器时，WRM方式下只有数据寄存器被更新，WTM方式下数据寄存器和DAC寄存器同时更新。芯片上电默认采用的是WRM方式。串行输入特殊命令有三个：更新选择、A通道更新和广播模式。更新选择命令可以选择性的对某一通道进行DAC寄存器更新，进而更新DAC的输出；A通道更新命令在写入A通道数据的同时更新所有通道的DAC输出；广播命令可以把所有通道的数据寄存器和DAC寄存器同时更新为同一值。

13、休眠模式

uDAC8x08/10/12的8通道DAC均可以单独配置为休眠模式，休眠模式通过设置串行输入寄存器来完成，设置DB[15:12]为所需的休眠模式，并把需要休眠的通道的对应位设置为“1”。当8通道DAC全部休眠后，芯片内部的偏置电路也一并休眠，不过芯片内部断电复位电路此时仍然在正常工作，消耗电流的典型值约为10uA。

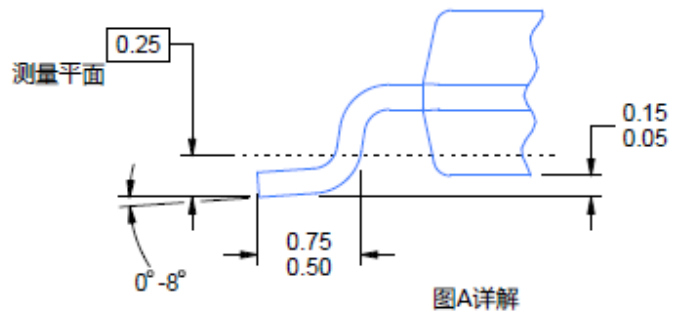
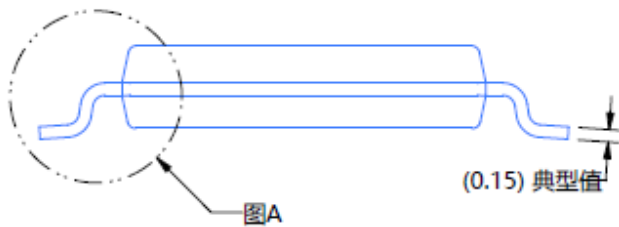
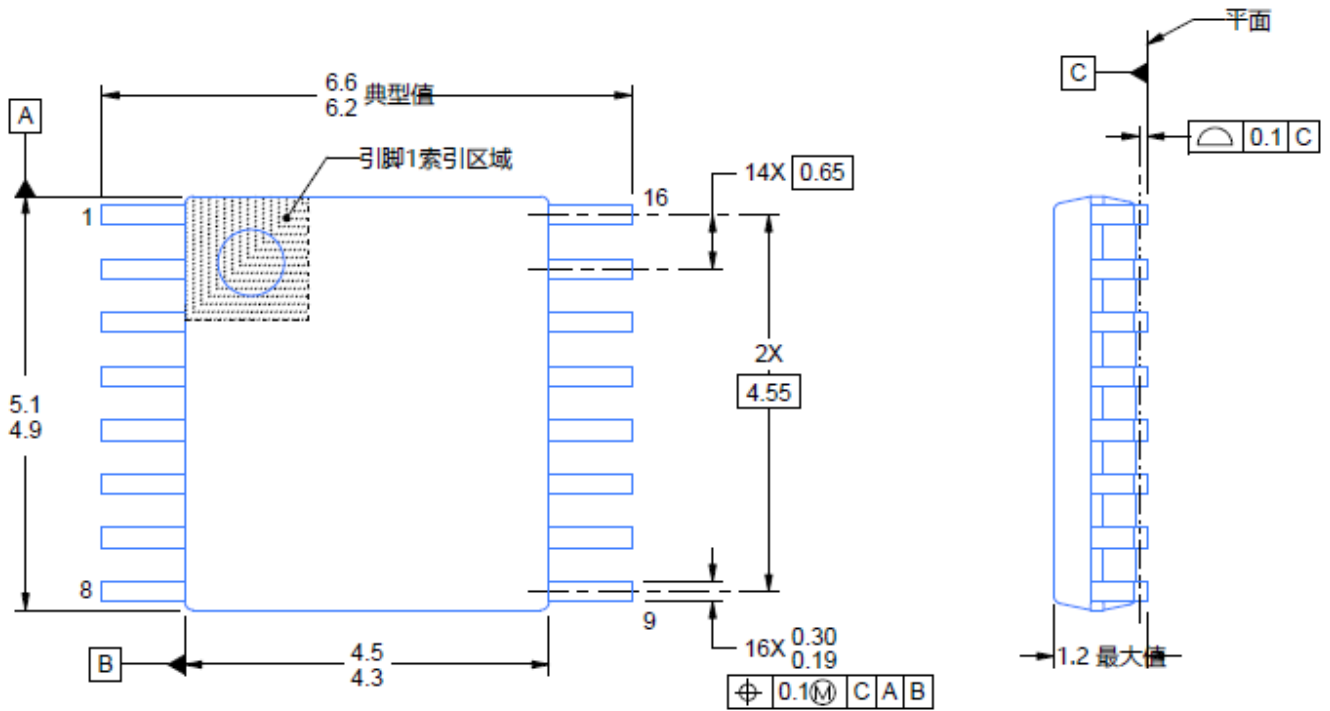
14、上电/断电复位

uDAC8x08/10/12内部同时含有上电复位和断电复位电路，该复位电路同时控制所有通道的输出，复位后所有通道的数据/DAC寄存器设置为全0，DAC的最终输出也为0电平。当电源电压升高至芯片最低工作电压后产生复位操作，波形如图9所示。断电复位发生在芯片电源断电过程中，当电源电压低于约2.7V时，产生复位操作，波形如图10所示。

uDAC8x08/10/12低功耗、高性能、带有缓冲的8通道8/10/12位DAC

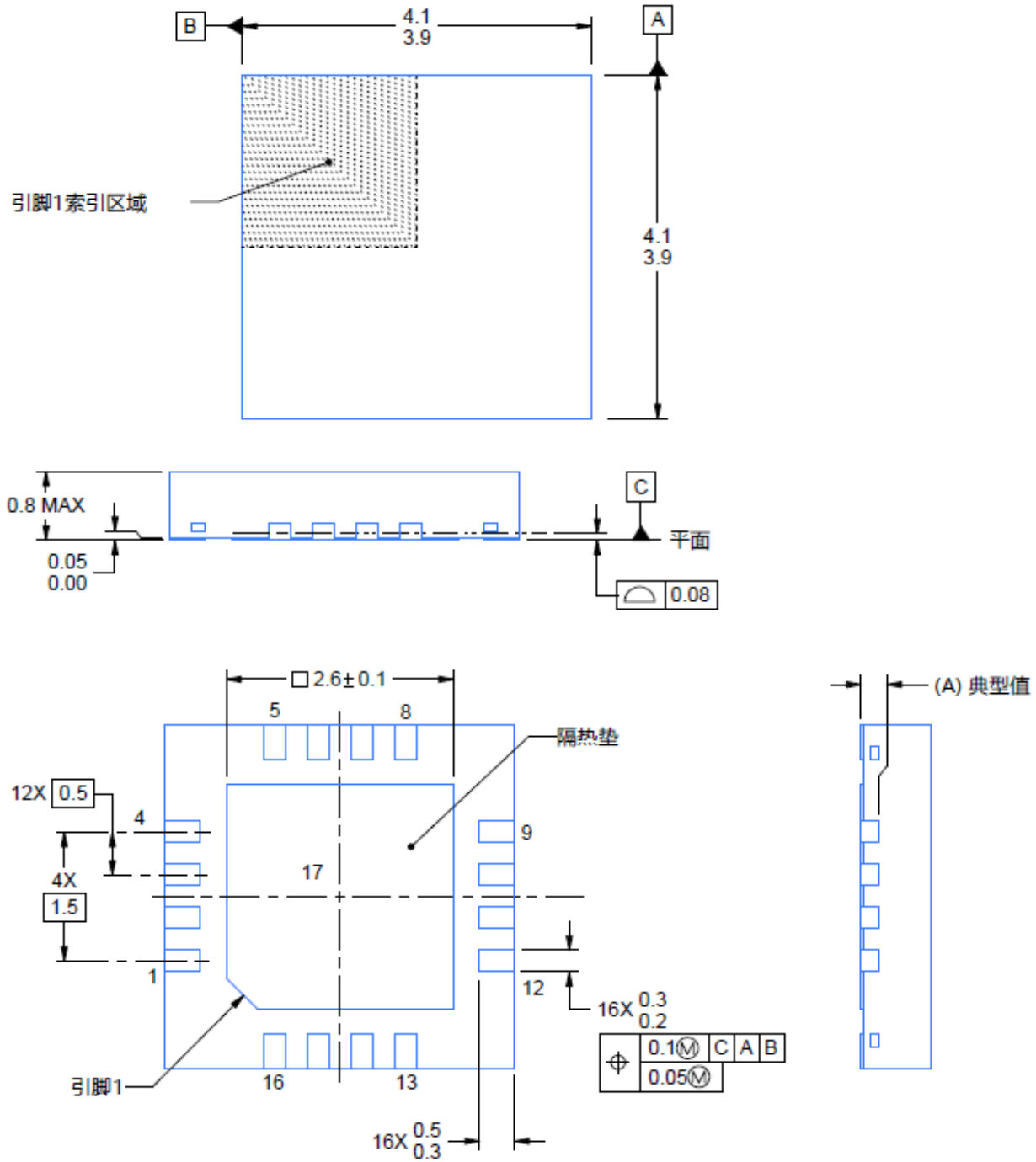
15、封装尺寸及结构

TSSOP16封装



uDAC8x08/10/12低功耗、高性能、带有缓冲的8通道8/10/12位DAC

QFN16封装



16、封装尺寸及结构

型号		温度范围	封装	包装
uDAC8x08	uDAC8x08QF	-40°C~125°C	QFN16	4000卷带
	uDAC8x08TS	-40°C~125°C	TSSOP16	4000卷带
uDAC8x10	uDAC8x10QF	-40°C~125°C	QFN16	4000卷带
	uDAC8x10TS	-40°C~125°C	TSSOP16	4000卷带
uDAC8x12	uDAC8x12QF	-40°C~125°C	QFN16	4000卷带
	uDAC8x12TS	-40°C~125°C	TSSOP16	4000卷带