

ADSD1248 低噪声 24 位模数转换器

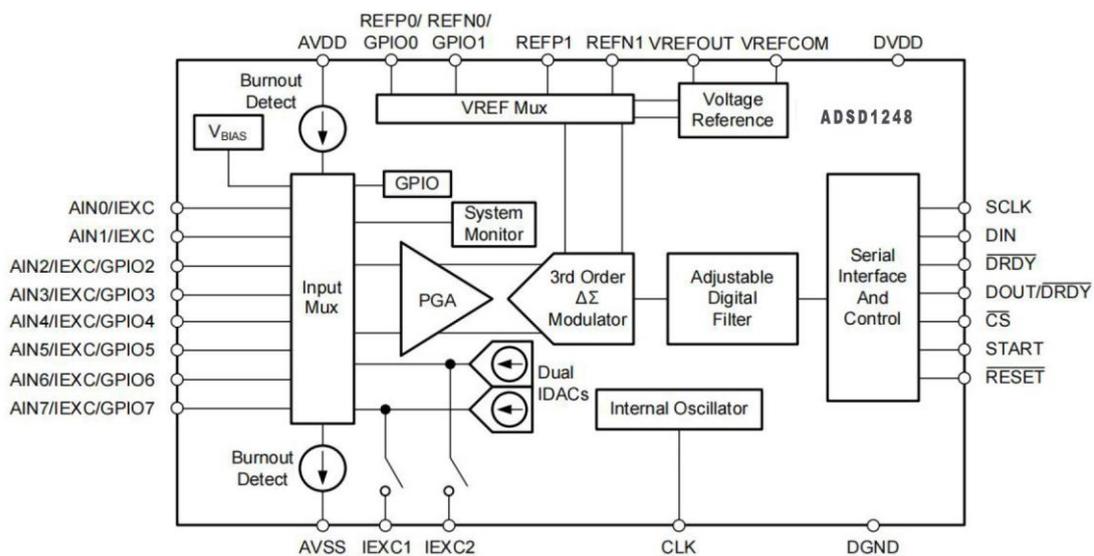
功能描述

- 可编程数据速率: 高达 2kSPS
- 针对所有数据速率的单周期建立设置
- 在 20SPS 时实现 50Hz 和 60Hz 谐波抑制
- 具有 8 个独立可选择输入的模拟多路复用器
- 低噪声可编程增益放大器:PGA=128 时 48nVRMS
- 两个匹配可编程激励电流源
- 集成低漂移 2.048V 基准电压: 10ppm/°C
- 传感器失效检测
- 8 个通用输入/输出接口
- 内置温度传感器:
- 电源和基准电压监控
- 自校准和系统校准
- 兼容 SPI 接口
- 模拟电源:单极(2.7V 到 5.25V)和双极(±2.5V)工作电压
- 数字电源:2.7V to 5.25V 0.45mW

ADSD1248是精密的24位模数转换器(ADCs), 包括许多集成功能, 用于降低传感器测量应用程序的系统成本和组件数量。该芯片是具有低噪声可编程增益放大器(PGA)、单循环数字滤波器、高精度 Delta-Sigma($\Delta\Sigma$)A/D 转换器和内部振荡器。ADSD1248还可提供内置的, 低漂移基准电压以及两个匹配的可编程激励电流源(IDACs)。ADSD1248的输入模拟多路复用器支持四路差分输入。此外, 该多路复用器集成了传感器失效检测, 热电偶电压偏置, 系统监控和通用数字 I/O。可编程增益放大器PGA提供最多128倍的可选择增益。这些特性为温度传感器测量应用提供了完整的前端解决方案, 包括热电偶, 热敏电阻和电阻温度检测器(RTD) 以及包括电阻桥传感器在内的其它小信号测量。数字滤波器可实现单周期建立, 以在使用输入多路复用器时支持快速通道循环, 并且提供高达2kSPS 的数据速率。对于20SPS 或更低的数据速率, 滤波器将谐波抑制50 Hz 和 60 Hz 的工频干扰。

应用

- 温度传感器测量:
- 电阻式温度检测器(RTD)、热电偶和热敏电阻
- 压力测量
- 流量计
- 工厂自动化和过程控制



ADSD1248 低噪声 24 位模数转换器

绝对最大额定值

除非另有说明，否则在室温范围内运行(1)。

		最小	最大	单位
电源电压	AVDD到AVSS	-0.3	5.5	V
	AVSS到DGND	-2.8	0.3	
	DVDD到DGND	-0.3	5.5	
模拟输入电压	AINx, REFPx, REFNx, VREFOUT, VREFCOM, IEXC1, IEXC2	AVSS-0.3	VDD+0.3	V
数字输入电压	SCLK, DIN, DOUT/DRDY, DRDY, CS, START, RESET, CLK	DGND-0.3	DVDD+0.3	V
输入电流	连续, 除电源引脚外的任意引脚	-10	10	mA
	瞬时, 除电源引脚外的任何引脚	-100	100	
温度	结温, T _J		150	°C
	储存, T _{stg}	-60	150	

超出绝对最大额定值下列出的应力值可能会对器件造成永久损坏。这些仅为在应力额定值下的工作情况，对于额定值下的器件的功能性操作以及在超出推荐的操作条件下的任何其它操作，在此并未说明。在绝对最大额定值条件下长时间运行会影响器件可靠性。

ADSD1248 低噪声 24 位模数转换器

电气特性

最小和最大规范值适用于 $T_A = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$ 的温度范围。典型规范值在 $T_A = 25^{\circ}\text{C}$ 下测定。所有规范值均在 $AVDD = 5\text{ V}$, $DVDD = 3.3\text{ V}$, $AVSS = 0\text{ V}$, 外部 $VREF = 2.048\text{ V}$, 和 $f_{CLK} = 4.096\text{ MHz}$ (除非另外注明)。

参数	测试条件	最小值	典型值	最大值	UNIT
模拟输入					
差分输入电流			100		pA
绝对输入电流			参见表8		
PGA					
PGA 增益设置			1, 2, 4, 8, 16, 32, 64, 128		V/V
系统性能					
分辨率		24			Bits
DR 数据传输速率		5, 10, 20, 40, 80, 160, 320, 640, 1000, 2000			SPS
ADC 转换时间			单周期		
INL 积分非线性	差分输入, 端点拟合, 增益 = 1, $V_{CM} = 2.5\text{ V}$		6	15	ppm
V_{IO} 输入偏移电压	校准后 ⁽¹⁾	-15		15	uV
偏移漂移		参见图 9 至图 12			
增益误差	$T_A = 25^{\circ}\text{C}$, 所有增益, DR = 40 SPS, 80 SPS, or 160 SPS	-0.02%	$\pm 0.005\%$	0.02%	
增益漂移		参见图17 至图20			
噪声		参见表 1 至表4			
NMRR 常模抑制比		参见表 10			
CMRR 共模抑制比	直流条件下的增益 = 1	80	90		dB
	直流条件下的增益 = 32	90	125		
PSRR 电源抑制比	$AVDD / DVDD$ 直流条件下的增益 = 32, 速率 = 80 SPS	100	135		dB
电压基准输入					
基准输入电流			30		nA
内部参考基准					
$VREF$ 内部基准电压		2.038	2.048	2.058	V
参考漂移 ⁽²⁾	$T_A = 25^{\circ}\text{C}$ 至 105°C		2	10	ppm/ $^{\circ}\text{C}$
	$T_A = -40^{\circ}\text{C}$ 至 105°C		6	15	ppm/ $^{\circ}\text{C}$
输出电流 ⁽³⁾		-10		10	mA
负载调节			50		$\mu\text{V}/\text{mA}$
启动时间			参见表11		
内部振荡器					
内部振荡器频率		3.89	4.096	4.3	MHz
激励电流源(IDACs)					
输出电流设置			50, 100, 250, 500, 750, 1000, 1500		μA
合规电压	所有电流设置				
绝对误差	所有电流设置, 每个IDAC	-6%	$\pm 1\%$	6%	
绝对不匹配	所有电流设置, IDACs 之间		$\pm 0.15\%$		
温度漂移	每个 IDAC		100		ppm/ $^{\circ}\text{C}$
温度漂移匹配	IDACs 之间		10		ppm/ $^{\circ}\text{C}$
失效电流源					
失效电流源设置			0.5, 2, 10		μA

1. 噪声级的失调校准
2. 由设计和最终生产测试的组合指定
3. 不要超过内部基准电压源的负载

ADSD1248 低噪声 24 位模数转换器

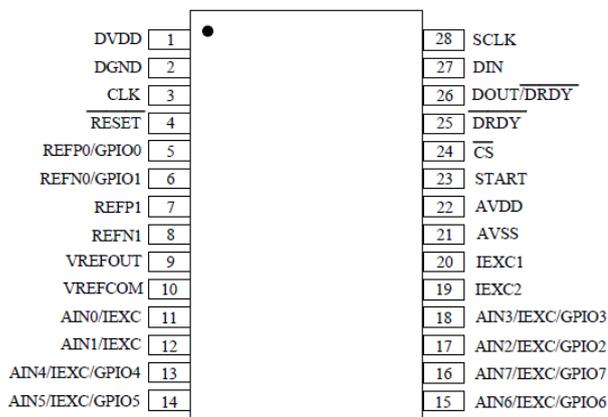
电气特性(续)

最小和最大规范值适用于 TA=-40°C 至 +105°C 的温度范围. 典型规范值在 TA=25°C 下测定. 所有规范值均在 AVDD=5V, DVDD=3.3V, AVSS=0V, 外部 VREF=2.048V, 和 fCLK=4.096MHz(除非另外注明)

参数	测试条件	最小值	典型值	最大值	单位
偏置电压					
偏置电压		(AVDD + AVSS) / 2			V
偏置电压输出阻抗		400			Ω
温度传感器					
输出电压	TA= 25°C	118			mV
温度系数		405			μA/°C
通用输入/输出(GPIO)					
V _{IL} 低电平输入电压		AVSS		0.3×AVDD	V
V _{IH} 高电平输入电压		0.7×AVDD		AVDD	V
V _{OL} 低电平输出电压	I _{OL} = 1 mA			0.2×AVDD	V
V _{OH} 高电平输出电压	I _{OH} = 1 mA	0.8×AVDD			V
数字输入/输出(除GPIO 之外)					
V _{IL} 低电平输入电压		DGND		0.3×DVDD	V
V _{IH} 高电平输入电压		0.7 × DVDD		DVDD	V
V _{OL} 低电平输出电压	I _{OL} = 1 mA	DGND		0.2×DVDD	V
V _{OH} 高电平输出电压	I _{OH} = 1 mA	0.8×DVDD			V
输入泄漏	DGND < VIN < DVDD	-10		10	μA
电源					
I _{AVDD} 模拟电源电流	省电模式	0.1			μA
	正常转换模式, AVDD=3.3V, DR=20 SPS, 选择外部基准时	200			
	正常转换模式, AVDD=5V, DR=20 SPS, 选择外部基准时	225			
	内部基准电压使能时的附加电流	180			
I _{DVDD} 数字电源电流	省电模式	0.2			μA
	正常模式, DVDD=3.3V, DR=20SPS, 内部振荡器	210			
	正常模式, DVDD=5V, DR=20SPS, 内部振荡器	230			
功耗	AVDD=DVDD=5V, DR=20SPS, 内部振荡器, 外部基准	2.3			mW
	AVDD=DVDD=3.3V, DR=20SPS, 内部振荡器, 外部基准	1.4			

ADSD1248 低噪声 24 位模数转换器

TSSOP28 封装引脚定义



名字	Pin 号	功能	描述
DVDD	1	电源	正数字电源, 与DGND之间接0.1uF电容
DGND	2	接地	数字接地
CLK	3	输入	外部时钟源引脚。如果不使用该引脚, 则与DGND相连
RESET	4	输入	复位(低电平有效)
REFP0/GPIO0	5	输入/输出	正外部基准电压输入0或通用数字输入/输出引脚0
REFN0/GPIO1	6	输入/输出	负外部基准电压输入0或通用数字输入/输出引脚1
REFP1	7	输入	正外部基准电压输入1
REFN1	8	输入	负外部基准电压输入1
VREFOUT	9	输出	正内部基准电压输出, 将一个1uF至47uF范围内的电容连接到VREFCOM
VREFCOM	10	输出	负内部基准电压输出, 使用单极性电源时连接到AVSS, 使用双极性电源时连接到电源的中间电压
AIN0/IEXC	11	输入	模拟输入0, 可选激励电流输出
AIN1/IEXC	12	输入	模拟输入1, 可选激励电流输出
AIN4/IEXC/GPIO4	13	输入/输出	模拟输入4, 可选激励电流输出, 或通用数字输入/输出GPIO4
AIN5/IEXC/GPIO5	14	输入/输出	模拟输入5, 可选激励电流输出, 或通用数字输入/输出GPIO5
AIN6/IEXC/GPIO6	15	输入/输出	模拟输入6, 可选激励电流输出, 或通用数字输入/输出GPIO6
AIN7/IEXC/GPIO7	16	输入/输出	模拟输入7, 可选激励电流输出, 或通用数字输入/输出GPIO7
AIN2/IEXC/GPIO2	17	输入/输出	模拟输入2, 可选激励电流输出, 或通用数字输入/输出GPIO2
AIN3/IEXC/GPIO3	18	输入/输出	模拟输入3, 可选激励电流输出, 或通用数字输入/输出GPIO3
IEXC2	19	输出	激励电流源输出2
IEXC1	20	输出	激励电流源输出1
AVSS	21	电源	负模拟电源
AVDD	22	电源	正模拟电源
TART	23	输入	开始转换
CS	24	输入	片选; 低电平有效
DRDY	25	输出	数据准备就绪, 低电平有效
DOUT/DRDY	26	输出	与数据就绪相结合的串行数据输出; 低电平有效
DIN	27	输入	串行数据输入
SCLK	28	输入	串行时钟输入

ADSD1248 低噪声 24 位模数转换器

开关特性

在工作环境温度 $T_A = -40^{\circ}\text{C}$ 至 105°C 和 $DVDD = 2.7\text{V}$ 至 5.5V (除非另外注明; 参加图 1 和图 2)

参数	测试条件	最小值/典型值/最大值	单位
tDOPD 传播延迟时间, SCLK 上升沿到有效新 DOUT	$DVDD \geq 3.6\text{V}$	50	ns
	$DVDD > 3.6\text{V}$	180	
tDOHDDOUT 保持时间		0	ns
tCSDO 传播延迟时间, CS 上升沿至 DOUT 高阻态		10	ns
tPWH 脉冲持续时间, DRDY 高电平		3	tCLK

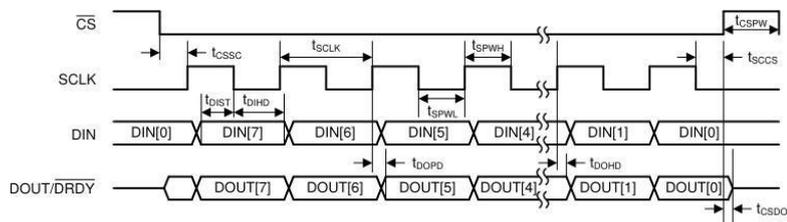
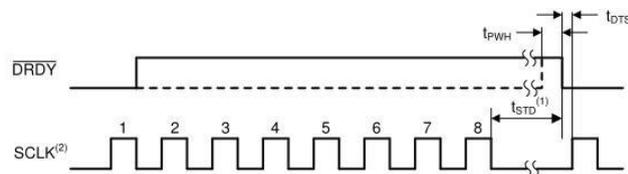


图 1. 串行接口时序, DRDY 模式位=0



- (1) 该时序图仅适用于CS引脚为低电平时。当CS为高时, tSTD 期间SCLK不需要为低
- (2) 在输出数据的部分检索期间, SCLK只能以八的倍数发送

图 2. 允许加载转换结果的串行接口时序

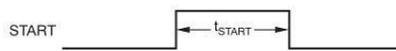


图 3. 最小起始脉冲持续时间

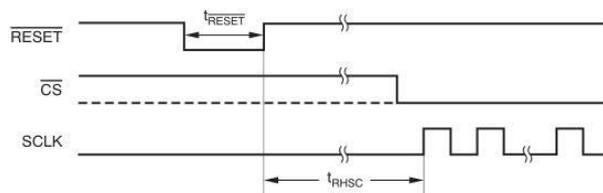


图 4. 复位后的复位脉冲持续时间和串行接口

ADSD1248 低噪声 24 位模数转换器

噪声性能

通过调整数据速率和PGA设置来优化ADC噪声性能。通常使用与输入信号范围一致的最高增益来实现最低输入性噪声。请勿将增益设置得太高以防止ADC输出超出范围。噪声还取决于输出数据速率，随着数据速率的降低，ADC带宽相应地减小。总带宽的减少导致总体噪声降低。表1至表6 汇总了设备的噪声性能。这些数据代表了TA=25°C的典型噪声性能。所显示的数据是对来自多个芯片的读数进行平均的结果，测量时需要将输入信号短接。计算每个均方根噪声(RMS)和峰值 (PP) 噪声都需要至少128个连续读数。

表 1, 表 3 和表 5 列出了以 μVRMS 和 μVPP 为单位的输入噪声。表2, 表4和表6列出了ENOB的相应数据(有效位数)，其中RMS噪声的ENOB定义为等式 1:

$$\text{ENOB} = \ln((2 \cdot V_{\text{REF}} / \text{Gain}) / V_{\text{NRMS}}) / \ln(2) \quad (1)$$

其中 V_{NRMS} = 输入的等效 RMS 噪声电压用同样的方法计算峰峰值噪声的 ENOB。

表1. 噪声, 单位为 μVRMS 和(μVPP)

条件: AVDD=5V, AVSS=0V, 外部基准电压=2.5V

数据传输速率(SPS)	增益 (PGA 启用)							
	1	2	4	8	16	32	64	128
5	1.1 (4.99)	0.68 (3.8)	0.37 (1.9)	0.19(0.98)	0.1 (0.44)	0.07(0.31)	0.05(0.27)	0.05(0.21)
10	1.53(8.82)	0.82(3.71)	0.5(2.69)	0.27(1.33)	0.15(0.67)	0.08(0.5)	0.06(0.36)	0.07(0.34)
20	2.32(13.37)	1.23(6.69)	0.71(3.83)	0.34(1.9)	0.18(1.01)	0.12(0.71)	0.10(0.51)	0.09(0.54)
40	2.72(17.35)	1.33(7.65)	0.68(3.83)	0.38(2.21)	0.22(1.13)	0.14(0.77)	0.15(0.78)	0.14(0.76)
80	3.56(22.67)	1.87(12.3)	0.81(5.27)	0.5(3.49)	0.3(1.99)	0.19(1.24)	0.19(1.16)	0.18(1.04)
160	5.26(42.03)	2.52(17.57)	1.32(9.22)	0.67(5.25)	0.41(2.89)	0.26(1.91)	0.27(1.74)	0.26(1.74)
320	9.39(74.91)	4.68(39.48)	2.69(18.95)	1.24(9.94)	0.68(5.25)	0.45(3.08)	0.38(2.71)	0.36(2.46)
640	13.21(119.66)	6.93(59.31)	3.59(28.55)	1.53(10.68)	0.95(8.7)	0.63(4.94)	0.53(3.74)	0.5(3.55)
1000	32.34(443.91)	16.11(185.67)	11.54(92.23)	4.65(37.55)	2.02(23.14)	1.15(12.29)	0.77(7.42)	0.64(4.98)
2000	32.29(372.54)	15.99(182.27)	8.02(91.73)	4.08(45.89)	2.19(24.14)	1.36(12.32)	1.08(8.03)	1.0(6.93)

表2. 根据均方根(RMS) 噪声得出的 ENOB (峰峰值噪声)

条件: AVDD=5V, AVSS=0V, 外部基准电压=2.5V

数据传输速率(SPS)	增益 (PGA 启用)							
	1	2	4	8	16	32	64	128
5	22.1(19.9)	21.8(19.3)	21.7(19.3)	21.6(19.3)	21.6(19.4)	21.1(18.9)	20.6(18.1)	19.6(17.5)
10	21.6(19.1)	21.5(19.4)	21.3(18.8)	21.1(18.8)	21(18.8)	20.9(18.3)	20.3(17.7)	19.1(16.8)
20	21(18.5)	21(18.5)	20.7(18.3)	20.8(18.3)	20.7(18.2)	20.3(17.7)	19.6(17.2)	18.7(16.1)
40	20.8(18.1)	20.8(18.3)	20.8(18.3)	20.6(18.1)	20.4(18.1)	20.1(17.6)	19(16.6)	18.1(15.6)
80	20.4(17.8)	20.4(17.6)	20.6(17.9)	20.3(17.5)	20(17.3)	19.6(16.9)	18.6(16)	17.7(15.2)
160	19.9(16.9)	19.9(17.1)	19.9(17)	19.8(16.9)	19.5(16.7)	19.2(16.3)	18.1(15.5)	17.2(14.5)
320	19(16)	19(16)	18.8(16)	18.9(15.9)	18.8(15.9)	18.4(15.6)	17.6(14.8)	16.7(14)
640	18.5(15.4)	18.5(15.4)	18.4(15.4)	18.6(15.8)	18.3(15.1)	17.9(14.9)	17.2(14.4)	16.3(13.4)
1000	17.2(13.5)	17.2(13.7)	16.7(13.7)	17(14)	17.2(13.7)	17.1(13.6)	16.6(13.4)	15.9(12.9)
2000	17.2(13.7)	17.3(13.7)	17.2(13.7)	17.2(13.7)	17.1(13.7)	16.8(13.6)	16.1(13.2)	15.3(12.5)

ADSD1248低噪声24位模数转换器

表3. 噪声, 单位为 μVRMS and (μVPP)

条件: AVDD=5V, AVSS=0V, 内部基准电压=2.048V

数据传输速率 (SPS)	增益 (PGA 启用)							
	1	2	4	8	16	32	64	128
5	1.35(7.78)	0.7(4.17)	0.35(2.03)	0.17(0.95)	0.1(0.53)	0.06(0.32)	0.05(0.31)	0.05(0.29)
10	1.8(10.82)	0.88(5.26)	0.5(2.75)	0.24(1.47)	0.13(0.8)	0.09(0.49)	0.07(0.39)	0.07(0.4)
20	2.62(14.32)	1.22(7.05)	0.66(3.88)	0.35(2.05)	0.19(1.09)	0.12(0.66)	0.1(0.61)	0.1(0.55)
40	2.64(16.29)	1.34(7.75)	0.69(4.06)	0.35(2.07)	0.21(1.15)	0.15(0.85)	0.14(0.81)	0.13(0.75)
80	3.69(23.62)	1.82(10.81)	0.89(5.48)	0.51(2.68)	0.3(1.69)	0.21(1.32)	0.2(1.09)	0.18(0.98)
160	5.7(35.74)	2.63(16.9)	1.34(8.82)	0.68(4.24)	0.4(2.65)	0.3(1.92)	0.28(1.88)	0.26(1.57)
320	9.67(67.44)	4.95(35.3)	2.59(17.52)	1.29(8.86)	0.72(4.35)	0.49(3.03)	0.4(2.44)	0.37(2.34)
640	13.66(93.06)	7.04(45.2)	3.63(18.73)	1.84(12.97)	1.02(6.51)	0.68(4.2)	0.58(3.69)	0.53(3.5)
1000	31.18(284.59)	16(129.77)	7.58(61.3)	3.98(33.04)	2.08(16.82)	1.16(9.08)	0.83(5.42)	0.68(4.65)
2000	31.42(273.39)	15.45(130.68)	8.07(67.13)	4.06(36.16)	2.29(19.22)	1.38(9.87)	1.06(6.93)	1.0(6.48)

表4. 根据均方根(RMS) 噪声得出的ENOB (峰峰值噪声)

条件: AVDD=5 V, AVSS=0V, 内部基准电压=2.048V

数据传输 速率(SPS)	增益 (PGA 启用)							
	1	2	4	8	16	32	64	128
5	21.5(19)	21.5(18.9)	21.5(18.9)	21.5(19)	21.3(18.9)	21(18.6)	20.2(17.7)	19.2(16.8)
10	21.1(18.5)	21.1(18.6)	21(18.4)	21(18.4)	20.9(18.3)	20.5(18)	19.8(17.3)	18.7(16.3)
20	20.6(18.1)	20.7(18.1)	20.6(18)	20.5(17.9)	20.4(17.8)	20.1(17.6)	19.2(16.7)	18.3(15.8)
40	20.6(17.9)	20.5(18)	20.5(17.9)	20.5(17.9)	20.2(17.8)	19.7(17.2)	18.8(16.3)	17.9(15.4)
80	20.1(17.4)	20.1(17.5)	20.1(17.5)	20(17.5)	19.7(17.2)	19.2(16.6)	18.3(15.8)	17.5(15)
160	19.5(16.8)	19.6(16.9)	19.5(16.8)	19.5(16.9)	19.3(16.6)	18.7(16)	17.8(15.1)	16.9(14.3)
320	18.7(15.9)	18.7(15.8)	18.6(15.8)	18.6(15.8)	18.4(15.8)	18(15.4)	17.3(14.7)	16.4(13.7)
640	18.2(15.4)	18.1(15.5)	18.1(15.7)	18.1(15.3)	17.9(15.3)	17.5(14.9)	16.8(14.1)	15.9(13.2)
1000	17(13.8)	17(13.9)	17(14)	17(13.9)	16.9(13.9)	16.8(13.8)	16.2(13.5)	15.5(12.7)
2000	17(13.9)	17(13.9)	17(13.9)	16.9(13.8)	16.8(13.7)	16.5(13.7)	15.9(13.2)	15(12.3)

ADSD1248低噪声24位模数转换器

表5. 噪声, 单位为 μVRMS and (μVPP)

条件: AVDD=3V, AVSS=0V, 内部基准电压=2.048V

数据传输速率(SPS)	增益 (PGA 启用)							
	1	2	4	8	16	32	64	128
5	2.5(14.24)	1.32(6.92)	0.67(3.48)	0.32(1.68)	0.17(0.9)	0.09(0.51)	0.08(0.42)	0.07(0.39)
10	3.09(16.85)	1.69(9.32)	0.82(4.68)	0.42(2.41)	0.23(1.18)	0.11(0.63)	0.11(0.66)	0.1(0.55)
20	4.55(24.74)	2.19(12.82)	1.07(5.94)	0.55(3.38)	0.28(1.66)	0.16(1.0)	0.15(0.92)	0.14(0.87)
40	5.06(34.59)	2.39(14.49)	1.27(7.75)	0.66(4.01)	0.36(2.18)	0.21(1.16)	0.21(1.27)	0.15(0.84)
80	6.63(43.46)	3.28(20.22)	1.79(10.64)	0.89(5.48)	0.47(2.95)	0.29(1.63)	0.28(1.64)	0.21(1.24)
160	9.75(68.28)	4.89(32.19)	2.36(17.74)	1.26(9.87)	0.65(4.77)	0.4(2.6)	0.4(2.7)	0.3(2.12)
320	19.22(140.06)	9.8(82.24)	4.81(32.74)	2.47(18.59)	1.27(9.45)	0.71(5.83)	0.5(3.36)	0.43(2.86)
640	27.07(192.96)	13.54(100.26)	6.88(49.07)	3.4(25.93)	1.76(12.49)	1.02(7.49)	0.71(4.81)	0.6(4.06)
1000	40.83(388.28)	20.39(185.96)	10.39(89.38)	5.09(43.28)	2.66(22.78)	1.45(11.01)	0.93(6.74)	0.74(4.86)
2000	42.06(322.85)	21.15(166.75)	10.66(92.68)	5.61(44.08)	2.92(23.06)	1.68(11.71)	1.19(8.23)	1.05(6.97)

表6.根据均方根 (RMS) 噪声得出的 ENOB (峰峰值噪声)

条件: AVDD=3V, AVSS=0V, 内部基准电压=2.048V

数据传输速率 (SPS)	增益 (PGA 启用)							
	1	2	4	8	16	32	64	128
5	20.6(18.1)	20.6(18.2)	20.5(18.2)	20.6(18.2)	20.5(18.1)	20.4(17.9)	19.6(17.2)	18.8(16.3)
10	20.3(17.9)	20.2(17.7)	20.3(17.7)	20.2(17.7)	20.1(17.7)	20.1(17.6)	19.1(16.6)	18.3(15.8)
20	19.8(17.3)	19.8(17.3)	19.9(17.4)	19.8(17.2)	19.8(17.2)	19.6(17)	18.7(16.1)	17.8(15.2)
40	19.6(16.9)	19.7(17.1)	19.6(17.0)	19.6(17)	19.5(16.8)	19.2(16.8)	18.2(15.6)	17.7(15.2)
80	19.2(16.5)	19.3(16.6)	19.1(16.6)	19.1(16.5)	19(16.4)	18.7(16.3)	17.8(15.3)	17.2(14.7)
160	18.7(15.9)	18.7(16)	18.7(15.8)	18.6(15.7)	18.6(15.7)	18.3(15.6)	17.3(14.5)	16.7(13.9)
320	17.7(14.8)	17.7(14.6)	17.7(14.9)	17.7(14.7)	17.6(14.7)	17.5(14.4)	17(14.2)	16.2(13.4)
640	17.2(14.4)	17.2(14.3)	17.2(14.3)	17.2(14.3)	17.1(14.3)	16.9(14.1)	16.5(13.7)	15.7(12.9)
1000	16.6(13.4)	16.6(13.4)	16.6(13.5)	16.6(13.5)	16.6(13.5)	16.4(13.5)	16.1(13.2)	15.4(12.7)
2000	16.6(13.6)	16.6(13.6)	16.6(13.4)	16.5(13.5)	16.4(13.4)	16.2(13.4)	15.7(12.9)	14.9(12.2)

ADSD1248低噪声24位模数转换器

概述

ADSD1248器件是高度集成的24位数据转换器。这些器件包括一个低噪声、高输入阻抗的可编程增益放大器(PGA)，一个带单周期建立数字滤波器的delta-sigma ($\Delta\Sigma$)型 ADC、内部振荡器和一个SPI兼容型串行接口。ADSD1248还包括一个具有系统监控能力和通用I/O设置的灵活输入多路复用器、一个极低漂移基准电压源和两个用于传感器激励的匹配电流源。

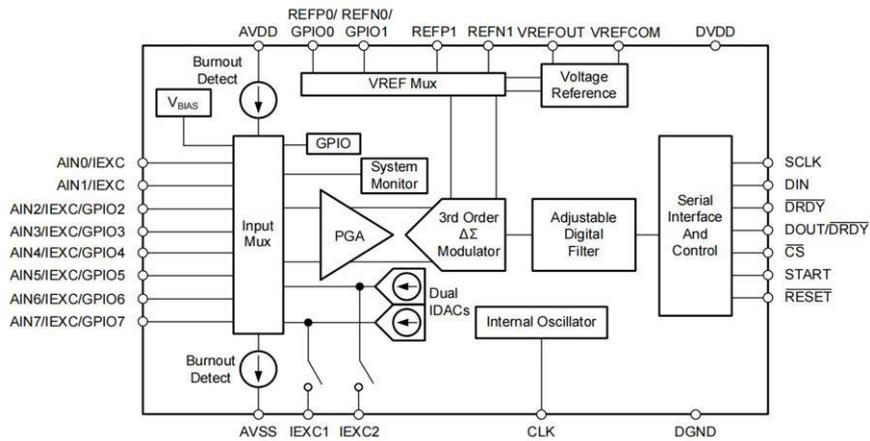


图5: 功能框图

功能说明

ADC输入多路复用器

ADC通过片上PGA测量输入信号。所有模拟输入通过模拟多路复用器连接到内部AINP或AINN模拟输入。输入多路复用器连接到8路模拟输入。通过MUX0寄存器，可以选择任何模拟输入引脚作为正输入或负输入。多路复用器还允许针对特定通道选择片内励电流和偏置电压。通过输入多路复用器，可以选择环境温度(内部温度传感器)、AVDD、DVDD和外部基准电压进行测量。有关详细信息，请参见系统监视器。

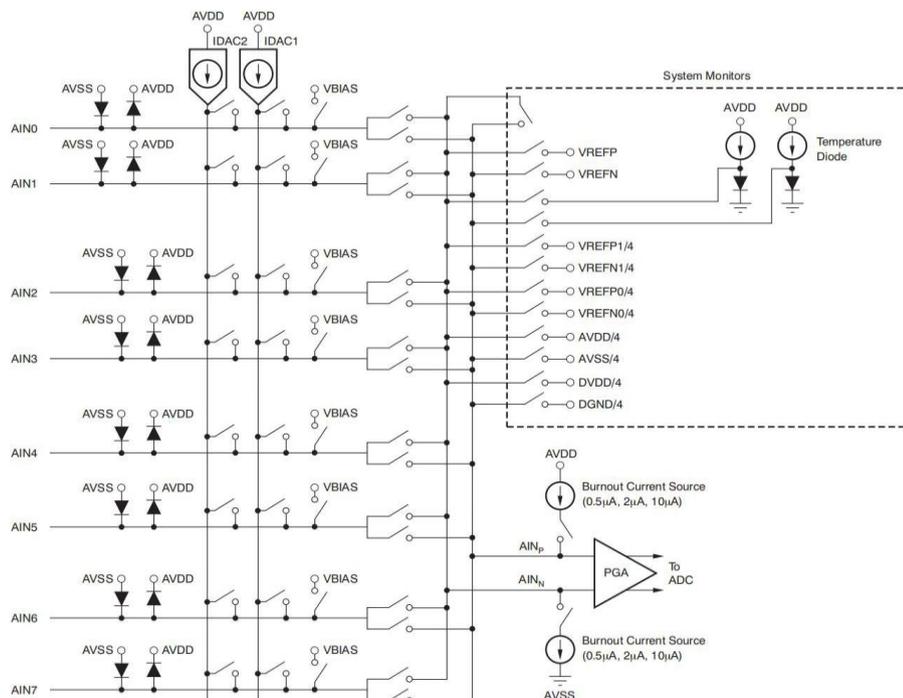


图6.输入多路复用器简图

ADSD1248低噪声24位模数转换器

低噪声可编程增益放大器

ADSD1248具有低漂移、低噪声、高输入阻抗可编程增益放大器(PGA)。寄存器SYS0可以将PGA的增益设置为1、2、4、8、16、32、64或128。图7显示了PGA的简图。

PGA由两个斩波稳定放大器(A1和A2)和一个电阻反馈网络组成，用于设定PGA的增益。PGA输入配有电磁干扰(EMI)滤波器，如图7所示。请注意，与任何PGA一样，确保输入电压停留在指定的共模输入范围内。共模电压通过下列公式进行计算
 $(AVSS+0.1V+(VINMAX \times Gain)/2) \leq VCM \leq (AVSS-0.1V-(VINMAX \times Gain)/2)$

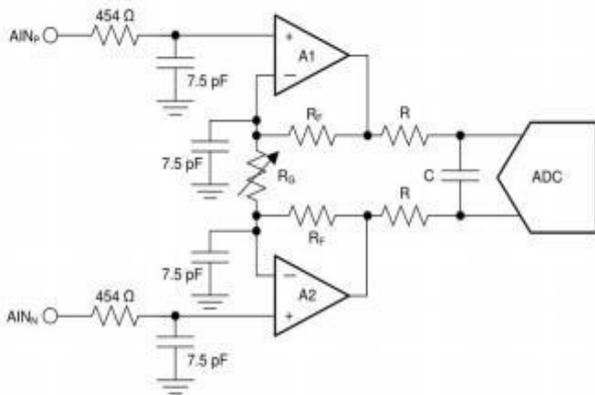


图7.PGA的简图

利用可变电阻RG改变器件内部的增益。PGA的差分满量程输入电压范围(FSR)由增益设置和所用基准电压决定，如下列公式所示
 $FSR = \pm VREF / Gain$,表7显示了使用内部2.048基准电压源时对应的满量程输入范围。

表7. PGA 满量程范围

PGA GAIN SETTING	FSR
1	±2.048V
2	±1.024V
4	±0.512V
8	±0.256V
16	±0.128V
32	±0.064V
64	±0.032V
128	±0.016V

PGA 共模电压要求

为了保持在PGA的线性工作范围内，输入信号必须满足本部分讨论的某些要求图8中两个放大器(A1和A2)的输出摆幅不能比100mV 更接近电源(AVSS和 AVDD) 如果输出OUTP和OUTN被驱动至供电轨的100mV范围内，放大器就会饱和从而变得非线性。为了防止这种非线性工作条件，输出电压必须满足下列等式

$$AVSS+0.1V \leq V(OUTN), V(OUTP) \leq AVDD-0.1$$

将上述等式的要求转化为折合到PGA输入(AINP和AINN)的要求是有益的，因为不能直接访问PGA的输出。PGA采用对称设计；因此，可以假设PGA输出端的共模电压与输入信号的共模电压相同，如图8所示。

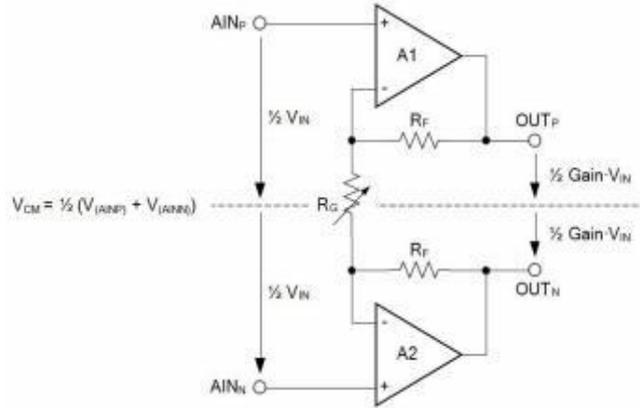


图8 .PGA 共模电压

共模电压通过公式 6 计算.

$$VCM = \frac{1}{2}(V(AINP) + V(AINN)) = \frac{1}{2}(V(OUTP) + V(OUTN)) \quad (6)$$

PGA输入端(AINP和AINN)的电压可由等式7和等式8表示.

$$V(AINP) = VCM + \frac{1}{2}VIN \quad (7)$$

$$V(AINN) = VCM - \frac{1}{2}VIN \quad (8)$$

输出电压(V(OUTP)和V(OUTN))可以通过公式9 和公式 10 计算得出.

$$V(OUTP) = VCM + \frac{1}{2}Gain \cdot VIN \quad (9)$$

$$V(OUTN) = VCM - \frac{1}{2}Gain \cdot VIN \quad (10)$$

现在，放大器 A1 和 A2 的输出电压要求(公式 5)可以通过公式 9和公式10 转化为输入共模电压范围的要求，如公式11和公式12所示.

$$VCM(MIN) \geq AVSS + 0.1V + \frac{1}{2}Gain \cdot VIN(MAX) \quad (11)$$

$$VCM(MAX) \leq AVDD - 0.1V - \frac{1}{2}Gain \cdot VIN(MAX) \quad (12)$$

为了计算最小和最大共模电压限值，必须使用应用中出现的最大差分输入电压(VIN(MAX))。VIN(MAX)可以小于最大可能满量程值。

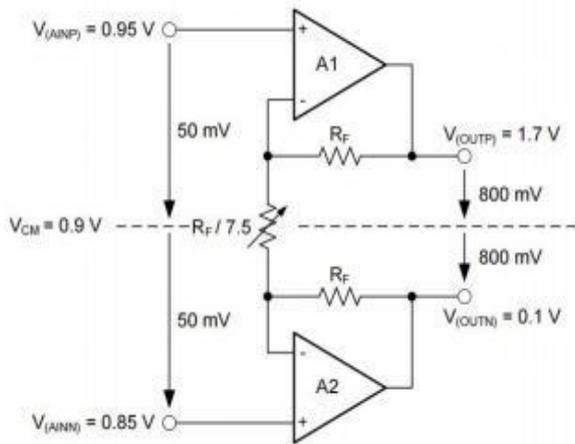
ADSD1248低噪声24位模数转换器

PGA 共模电压计算示例

以下段落解释了如何将等式11和等式12应用于假设的应用。本例设置为 $AVDD=3.3V$ ， $AVSS=0V$ ，增益=16，使用外部基准电压 $VREF=2.5V$ ，可以施加的最大可能差分输入电压 $VIN=(V(AINP)-V(AINN))$ ，然后限制在 $FSR=2.5V/16=0.156V$ 的满量程范围内，因此，公式11和公式12得出允许的 VCM 范围为 $1.35V \leq VCM \leq 1.95V$ 。

例如，如果在这种应用中，连接到输入端的传感器信号没有利用整个满量程范围，而是限于 $VIN(MAX)=0.1V$ ，则这种降低的输入信号幅度会将 VCM 限制放宽到 $0.9V \leq VCM \leq 2.4V$ 。

在全差分传感器信号的情况下，各输入($AINP$ 、 $AINN$)可以围绕共模电压 $(V(AINP)+V(AINN))/2$ 摆动高达50mV，该电压必须保持在0.9V至2.4V的限值之间，对称型惠斯通电桥的输出就是全差分信号的一个例子。图9显示了输入信号的共模电压处于最低限值的情况。这种情况下， $V(OUTN)$ 正好为0.1V。共模电压(VCM)的任何进一步降低或差分输入电压(VIN)的增加都会将 $V(OUTN)$ 驱动至0.1V以下，并使放大器A2饱和。

图9 VCM 处于最低限值的示例

相比之下，RTD的信号属于伪差分性质，负输入保持在0V以外的恒定电压，只有正输入上的电压会发生变化。当必须测量伪差分信号时，本例中的负输入必须偏置在0.85V至2.35V的电压范围内，正输入的摆幅最高可达负输入以上 $VIN(MAX)=100mV$ 。这种情况下，共模电压变化的同时，正输入端的电压也发生变化。也就是说，当输入信号在 $0V \leq VIN \leq VIN(最大值)$ 之间摆动时，共模电压在 $V(AINN) \leq VCM \leq V(AINN) + VIN(最大值)$ 之间摆动。满足最大输入电压 $VIN(MAX)$ 的共模电压要求可确保在整个信号范围内满足要求。

图10和图11分别显示了全差分和伪差分信号的示例。

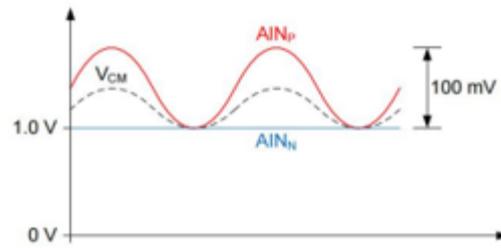


图10.全差分输入信号

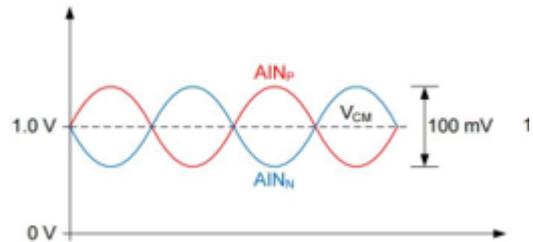


图11.伪差分输入信号

注意

采用单极性电源时，输入范围不会延伸至地。公式11和公式12显示了共模电压要求。

$$VCM(MIN) \geq AVSS + 0.1V + \frac{1}{2} \text{Gain} \cdot VIN(MAX)$$

$$VCM(MAX) \leq AVDD - 0.1V - \frac{1}{2} \text{Gain} \cdot VIN(MAX)$$

模拟输入阻抗

器件输入在到达 $\Delta-\Sigma$ 调制器之前，通过高输入阻抗PGA进行缓冲。对于大多数应用，输入电流很小，可以忽略不计。然而，由于PGA具有斩波功能，因此输入阻抗可以描述为一个小的绝对输入电流。所选通道的绝对输入电流与所选调制器时钟近似成比例。表8显示了不同电压系数下这些电流的典型值以及数据速率下相应的输入阻抗。

条件	绝对输入电流	有效输入阻抗
DR=5SPS, 10SPS, 20SPS	$\pm(0.5nA + 0.1nA/V)$	5000 M Ω
DR=40SPS, 80SPS, 160SPS	$\pm(2nA + 0.5nA/V)$	1200 M Ω
DR=320SPS, 640SPS, 1kSPS	$\pm(4nA + 1nA/V)$	600 M Ω
DR=2kSPS	$\pm(8nA + 2nA/V)$	300 M Ω

表8. 数据速率下模拟输入电流的典型值⁽¹⁾

(1) $VCM = 2.5V$ 时的输入电流， $TA = 25^\circ C$ ， $AVDD = 5V$ ， $AVSS = 0V$

ADSD1248低噪声24位模数转换器

时钟源

该器件可以使用内部振荡器或外部时钟。在上电或复位以激活内部振荡器之前，将CLK引脚连接到DGND。将外部时钟连接到CLK引脚可随时禁用内部振荡器，然后器件在外部时钟下工作。器件切换到外部时钟后，如果不重新上电或复位器件，就无法切换回内部振荡器。

调制器

ADSD1248器件中使用一个三阶 Δ - Σ 调制器。调制器将模拟输入电压转换为脉码调制(PDM)数据流。为了节省功耗，调制器时钟在32kHz至512kHz范围内工作，支持不同的数据速率，如表9所示。

表9.不同数据速率下的调制器时钟频率

DATA RATE (SPS)	MODULATOR RATE(f_{MOD}) ⁽¹⁾ (kHz)	f_{CLK}/f_{MOD}
5, 10, 20	32	128
40, 80, 160	128	32
320, 640, 1000	256	16
2000	512	8

使用内部振荡器或外部4.096 MHz 时钟。

数字滤波器

该ADC使用线性相位有限脉冲响应(FIR)数字滤波器，可以针对不同的输出数据速率进行调整。数字滤波器总是在单个周期内建立。

表10显示了使用4.096MHz外部时钟时的精确数据速率。图中还显示了信号-3dB带宽以及50Hz和60Hz衰减。为了获得良好的50Hz或60Hz抑制性能，请使用20SPS或更低的数据速率。

数字滤波器的频率响应如图12至图22所示。图20详细显示了20SPS 数据速率下48Hz至62Hz范围内的滤波器频率响应。所有滤波器曲线均由4.096MHz外部时钟产生。

数据速率和数字滤波器频率响应与系统时钟频率的变化成比例。内部振荡器频率会发生变化，如电气特性中所述这也会影响数据速率和数字滤波器频率响应。

表 10.数字滤波器规格⁽¹⁾

标称 数据率	实际 数据率	-3 dB 带宽	衰减			
			$f_{IN}=50\text{Hz}\pm 0.3\text{Hz}$	$f_{IN}=60\text{Hz}\pm 0.3\text{Hz}$	$f_{IN}=50\text{Hz}\pm 1\text{Hz}$	$f_{IN}=60\text{Hz}\pm 1\text{Hz}$
5SPS	5.018SPS	2.26Hz	-106dB	-74dB	-81dB	-69dB
10SPS	10.037SPS	4.76Hz	-106dB	-74dB	-80dB	-69dB
20SPS	20.075SPS	14.8Hz	-71dB	-74dB	-66dB	-68dB
40SPS	40.15SPS	9.03Hz	—	—	—	—
80SPS	80.301SPS	19.8Hz	—	—	—	—
160SPS	160.6SPS	118Hz	—	—	—	—
320SPS	321.608SPS	154Hz	—	—	—	—
640SPS	643.21SPS	495Hz	—	—	—	—
1000SPS	1000SPS	732Hz	—	—	—	—
2000SPS	2000SPS	1465Hz	—	—	—	—

$f_{CLK} = 4.096 \text{ MHz}$ 时显示的值。

ADSD1248低噪声24位模数转换器

基准电压输入

该器件的基准电压为REFP与REFN之间的差分电压，由公式13给出：

$$V_{REF} = V(\text{REFP}) - V(\text{REFN}) \quad (13)$$

有一个选择基准输入的多路复用器，如图23所示。基准输入使用缓冲器来增加输入阻抗。与模拟输入一样，REFP0和REFN0可以配置为ADSD1248上的数字I/O

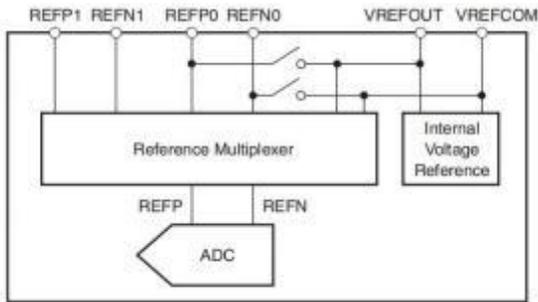


图23.参考输入复用器

基准输入电路具有ESD二极管来保护输入。为防止二极管导通，应确保基准输入引脚上的电压不低于 $AVSS - 100\text{mV}$ ，且不超过 $AVDD + 100\text{mV}$ ，如公式14所示。

$$AVSS - 100\text{mV} < (V(\text{REFP}) \text{ or } V(\text{REFN})) < AVDD + 100\text{mV} \quad (14)$$

内部基准电压

ADSD1248具有低温度系数的内部基准电压源。基准电压源的输出为 2.048V （标称值），能够提供最高 10mA 的源电流和吸电流。基准电压源必须在VREFOUT和VREFCOM之间连接一个电容。电容值必须在 $1\mu\text{F}$ 至 $47\mu\text{F}$ 的范围内。值越大，基准电压源的噪声过滤越多；然而，开启时间随电容增加而增加，如表11所示。出于稳定性考虑，VREFCOM必须有一条阻抗小于 10Ω 的交流接地节点路径，例如GND(0V至5V模拟电源)或AVSS(2.5V模拟电源)。如果该阻抗高于 10Ω ，则在VREFCOM和交流接地节点(例如GND)之间连接一个至少 $0.1\mu\text{F}$ 的电容

注意：

由于基准电压源建立到最终电压需要时间，因此在两次转换之间关闭器件时要小心。开始新的转换之前，请留出足够的时间让内部基准电压完全建立。

VREFOUT CAPACITOR	SETTLING ERROR	TIME TO REACH THE SETTLING ERROR
1 μF	$\pm 0.5\%$	70 μs
	$\pm 0.1\%$	110 μs
4.7 μF	$\pm 0.5\%$	290 μs
	$\pm 0.1\%$	375 μs
4.7 μF	$\pm 0.5\%$	2.2ms
	$\pm 0.1\%$	2.4ms

表11：内部基准电压建立时间

内部基准电压由MUX1寄存器控制；默认情况下，上电后内部基准电压源关闭(详情参见ADSD1248详细寄存器定义)。因此，必须首先开启内部基准电压，然后通过内部基准电压多路复用器连接。由于内部基准电压源用于产生激励电流源的基准电流，因此必须在激励电流可用之前将其开启。

激励电流源

ADSD1248为RTD应用提供两个匹配的激励电流源(IDACs)。对于三线RTD应用，匹配的电流源可用于消除传感器引线电阻引起的误差。IDACs的输出电流可以编程为 $50\mu\text{A}$ 、 $100\mu\text{A}$ 、 $250\mu\text{A}$ 、 $500\mu\text{A}$ 、 $750\mu\text{A}$ 、 $1000\mu\text{A}$ 或 $1500\mu\text{A}$ 。

两个匹配的电流源可以连接到专用电流输出引脚IEXC1和IEXC2，或者连接到任何模拟输入引脚；有关更多信息，请参见ADSD1248详细注册定义。两个电流源可以连接到同一个引脚。使用激励电流源时，必须开启内部基准电压源，并向VREFOUT施加适当的电容

传感器检测

为了帮助检测可能的传感器故障，该器件提供可选电流源($0.5\mu\text{A}$ 、 $2\mu\text{A}$ 或 $10\mu\text{A}$)作为烧断电流源。启用时一个电流源到选定的正模拟输入(AINP)提供电流，而另一个电流源从选定的负模拟输入(AINN)吸收电流。

如果传感器开路，这些烧断电流源会将正输入拉向AVDD，将负输入拉向AVSS，从而产生满量程读数。满量程读数也可能表明传感器过载或基准电压缺失。接近零的读数可能表明传感器短路。烧断电流源的绝对值通常变化 10% ，内部多路复用器会增加一个小串联电阻。因此区分短路传感器条件和正常读数可能很困难，尤其是在输入端使用RC滤波器 的情况下。换言之即使传感器短路，外部滤波器电阻和多路复用器剩余电阻上的压降也会导致输出读取大于零的值。

当启用熔断电流源时，功能传感器的ADC读数可能被破坏。建议在执行精密测量时禁用熔断电流源，仅启用它们来测试传感器故障情况。

偏置电压产生

提供可选的偏置电压用于无偏置热电偶。偏置电压为 $(AVDD + AVSS)/2$ ，可以通过内部输入多路复用器施加于任何模拟输入通道。表12列出了不同传感器电容的偏置电压开启时间。

在多个通道上选择内部偏置电压发生器时，会导致通道内部短路。因此，要注意限制流经器件的电流。我们建议在任何情况下都不允许超过 5mA 的电流通过该路径。

表12.偏置电压建立时间

传感器电容	建立时间
0.1 μF	220 μs
1 μF	2.2ms
10 μF	22ms
200 μF	450ms

ADSD1248低噪声24位模数转换器

通用数字输入输出

ADSD1248有8个引脚，可用作模拟输入或通用数字输入和输出(GPIOs)。三个寄存器控制GPIO引脚的功能。使用GPIO配置寄存器(IOCFG)将一个引脚作为GPIO引脚使能。GPIO方向寄存器(IODIR)将GPIO引脚配置为输入或输出。最后GPIO数据寄存器(IODAT)包含GPIO数据。如果GPIO引脚配置为输入，相应的IODAT[x]位读取该引脚的状态；如果GPIO引脚配置为输出，则将输出状态写入相应的IODAT[x]位。有关GPIO引脚使用的更多信息，请参见ADSD1248详细寄存器定义部分。

图24显示了如何将这些功能组合到一个引脚上。注意，当引脚配置为GPIO时，相应的逻辑由AVDD和AVSS供电。当ADSD1248采用双极性模拟电源供电时，GPIO输出双极性电压。当用作输出时，加载GPIO引脚时必须小心，因为大电流会导致模拟电源电压下降或产生噪声。

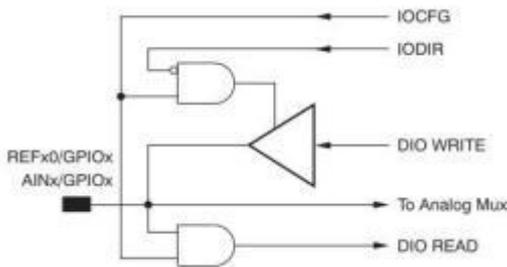


图24.模拟和数据接口引脚

系统监视器

ADSD1248提供系统监控功能。该功能可以测量模拟电源、数字电源、外部基准电压源或环境温度。注意，系统监控功能仅提供了一个粗略的结果。当系统监视器启用时，模拟输入断开。

电源监控器

系统监视器可以测量模拟或数字电源。测量电源(VSP)时，转换结果约为实际电源电压的1/4，如公式15所示。

$$\text{Conversion Result} = (\text{VSP}/4)/\text{VREF} \quad (15)$$

外部基准电压监控器

ADC可以测量外部基准电压。在这种配置中，受监控的外部基准电压源(VREX)连接到模拟输入。结果(转换码)约为实际基准电压的1/4，如公式16所示。

$$\text{Conversion Result} = (\text{VREX}/4)/\text{VREF} \quad (16)$$

注意:使用系统监控器测量外部基准电压时，必须启用内部基准电压。

环境温度监控器

片内二极管提供温度检测能力。选择温度监控功能时，两个二极管的阳极连接到ADC。典型情况下， $T_A = 25^\circ\text{C}$ 时，二极管电压差为118mV，温度系数为405uv/°C。

器件功能模式

上电

当DVDD上电时，内部上电复位模块产生一个脉冲，复位所有数字电路。所有数字电路在216个系统时钟内保持复位状态，以便模拟电路和内部数字电源建立。内部复位释放后，SPI通信才会发生。

复位

当RESET引脚变为低电平时，器件立即复位。所有寄存器都恢复默认值。只要reset引脚保持低电平，器件就会一直处于复位模式。当RESET引脚变为高电平时，ADC退出复位模式，能够转换数据。RESET引脚变为高电平后，当系统时钟频率为4.096MHz时，当fCLK = 4.096 MHz时，数字滤波器和寄存器保持复位状态0.6ms。因此，只有在RESET引脚变为高电平0.6ms后，才能恢复有效的SPI通信；参见图4。当RESET引脚变为低电平时，时钟选择复位至内部振荡器。复位也可以通过串行接口由reset命令执行，其功能与使用RESET引脚相同。有关使用RESET命令的信息，请参见RESET(0000 011X)。

省电模式

通过将器件置于省电模式，功耗降至最低。有三种方法可以使器件进入省电模式:使用SLEEP命令，将START引脚拉低，当START/SYNC命令控制转换模式且寄存器SYS0的CM为0时，每次转换后进入省电模式。在掉电模式下，内部基准电压的状态取决于MUX1寄存器中VREFCON位的设置；详情参见寄存器映射。

ADSD1248低噪声24位模数转换器

起始引脚控制

START 引脚提供对转换的精确控制。将 START引脚脉冲拉高，开始转换，如图25和表13所示。当 IDAC0寄存器的DRDY模式位为1时，DRDY 引脚变为低电平，DOUT/DRDY引脚表示转换完成。转换完成后，器件自动关断。掉电期间，可以检索转换结果；然而，在与配置寄存器通信之前，START必须被拉高。器件保持关断状态，直到START引脚返回高电平，开始新的转换。当 START引脚返回高电平时，抽取滤波器在 32 个调制器时钟周期内保持复位状态，以便模拟电路建立。

保持START引脚为高电平会将器件配置为连续转换，如图26 所示。

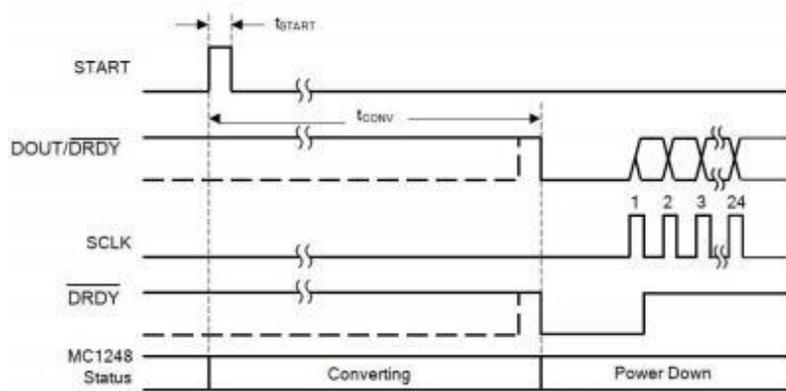
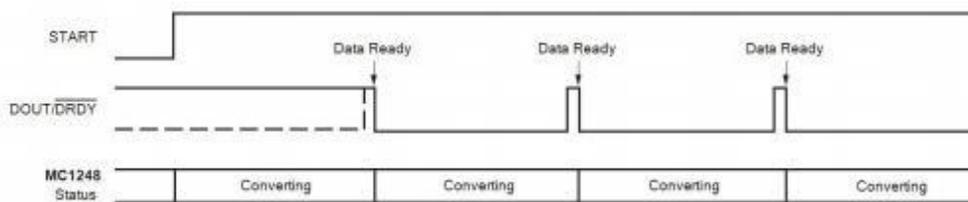


图25.使用Start 引脚的单次转换时序

表 13.图25 的起始引脚转换时间

标志	描述	数据速率(SPS)	数值	单位
tCONV	Time from the START rising edge to DRDY and DOUT/DRDY going low	5	200.295	ms
		10	100.644	ms
		20	50.825	ms
		40	25.169	ms
		80	12.716	ms
		160	6.489	ms
		320	3.247	ms
		640	1.692	ms
		1000	1.138	ms
		2000	0.575	ms



注意: SCLK 在这个例子中保持低位.

图 26.Start 引脚为高电平时的转换时序

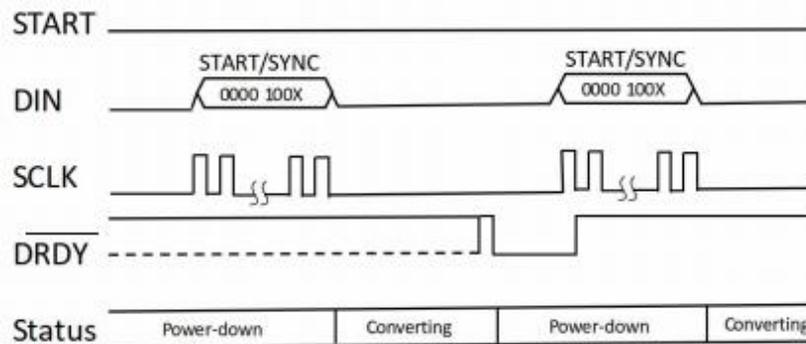
ADSD1248低噪声24位模数转换器

START引脚保持高电平时，ADC连续转换选定的输入通道。这种配置一直持续到START引脚被拉低。通过对START引脚施加脉冲，START引脚也可用于对多通道应用执行同步测量。对于多个器件，如果每个器件同时接收到start引脚脉冲，所有器件都会在START引脚上升时开始转换。如果所有器件都以相同的数据速率工作，则所有器件同时完成转换。

命令控制

当START引脚为低电平时，可以通过向器件发送START/SYNC命令来控制ADC转换。当器件接收到START/SYNC指令时，它会根据SYS0寄存器中的CM位状态来决定进入哪种转换模式。在单次转换状态下，如图27所示，器件每次接收到起始/同步指令时，都会完成一次转换，然后进入省电模式。在连续转换模式下，器件连续执行转换。转换完成后，器件将结果放入输出缓冲器，并立即开始另一次转换。为了启动连续转换模式，CM位必须置1，然后是启动/同步命令，详情如图28所示。

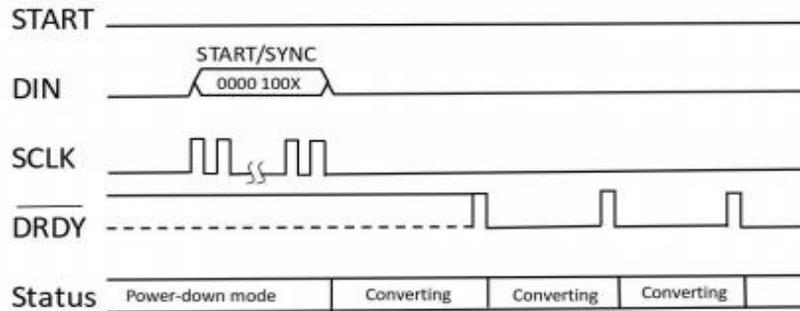
要退出启动/同步命令控制转换模式，只需向器件发送一次停止命令，如图29所示。



注:CM=0, 单次转换

图27.使用START/SYNC命令的单次转换时序

ADSD1248低噪声24位模数转换器



注:CM= 1, 连续转换

图28.使用 START/SYNC 命令进行连续转换的时序

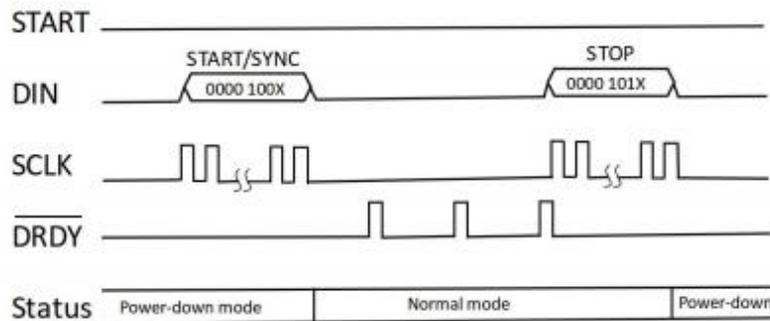


图29.退出启动/同步命令控制模式

转换也可以通过 SPI 命令启动。与使用 START引脚类似，可以使用 SLEEP命令将器件置于省电模式。从功能上讲，这类似于将 START引脚拉低或使用 START/SYNC命令来控制进入单次转换模式。要启动转换，WAKEUP命令唤醒ADC 并开始转换，类似于将START引脚返回高电平或再次发送 START/SYNC 命令。请注意，只有当器件处于连续转换模式时，休眠和唤醒指令才能用来控制转换。不要同时使用 START引脚和命令来控制转换。此外，发送 SYNC或 START/SYNC命令会立即启动新的 ADC 转换。然后数字滤波器复位，开始新的转换，而不完成前一次转换。这在同步多个器件的转换或保持多个通道的周期性时序时非常有用。同样，写入前四个寄存器(MUX0、VBIAS、MUX1或 SYS0地址 00h 至 04h)自动复位数字滤波器。这些寄存器中的任何一个发生变化都会导致器件发生相应的设置变化，但也会像 SYNC命令一样重新启动转换。

通道多路复用的设置时间

该器件是一款真单周期建立 $\Delta\Sigma$ 转换器。只要输入信号已经建立到最终结果，转换开始后的第一批可用数据就已完全建立并可供使用。建立时间大约等于数据速率的倒数。确切时间取决于具体的数据速率和导致转换开始的操作；具体值见表14。

通道循环和过载恢复

在通道间循环时，请注意配置器件，确保在一个周期内建立。对于在多路复用器通道间循环但不改变 PGA 和数据速率设置的设置，改变 MUX0寄存器就足够了。但是，在更改 PGA和数据速率设置时，请确保传输过程中不会出现过载情况。当配置寄存器数据传输到器件时，新设置在发送的每个寄存器字节结束时生效。因此，在 MUX0字节完成之后、SYS0字节完成之前，配置数据传输期间可能会出现短暂的过载情况。这种暂时的过载会导致间歇性的不正确读数。为确保不会发生过载，可能有必要将通信分成两个独立的通信，以便在更改 MUX0寄存器之前更改 SYS0寄存器。在过载状态下，注意确保单周期进入下一周期。由于该器件采用斩波稳定型 PGA，在过载状态下改变数据速率会导致斩波不稳定。这种不稳定性导致建立时间缓慢。为防止这种缓慢建立，在改变数据速率之前，务必将 PGA 设置或多路复用器设置更改为非过载状态。

ADSD1248低噪声24位模数转换器

单循环设置

ADSD1248能够在所有增益和数据速率下进行单周期建立。然而，为了实现2kSPS的单周期建立时间，必须特别注意使用WREG来改变配置寄存器的接口。以2kSPS速率工作时，SCLK周期不得超过520ns，从开始写入寄存器字节数据到开始写入后续寄存器字节数据之间的时间不得超过4.2us。此外，当对前四个寄存器执行多个单独的写命令时，在启动另一个写命令之前，至少要等待64个系统时钟。

数字滤波器复位操作

除RESET命令和RESET引脚外，当对MUX0、VBIAS、MUX1或SYS0寄存器执行写操作、发出SYNC或START/SYNC命令或者START引脚变为高电平时，数字滤波器会自动复位。

滤波器在SYNC或START/SYNC命令的第七个SCLK的下降沿之后的四个系统时钟(tCLK)复位。同样，如果MUX0寄存器中发生任何写操作，无论寄存器值是否改变，滤波器都会在MUX0写操作完成后复位。

如果VBIAS、MUX1或SYS0寄存器中发生任何写操作，无论寄存器值是否改变，滤波器都会复位。写操作完成后，复位脉冲持续32个调制器时钟。如果有多个写操作，则产生的复位脉冲可以被视为由每个动作单独产生的不同低电平有效脉冲的“与”结果。

表14显示了滤波器复位后的转换时间。请注意，该时间取决于启动复位的操作。此外，滤波器复位后的第一次转换与第二次和后续转换的时间略有不同。

表 14.数据转换时间

标称的数据速率 (SPS)	准确的数据速率 (SPS)	滤波器复位后的首次数据转换时间				第二次及以后的转换时间 过滤器重置	
		同步命令，MUX0 寄存器写入		硬件复位，复位 命令，起始引脚高电平，唤 醒命令，写VBIAS， MUX1或SYS0寄存器			
		(ms) ⁽¹⁾	系统时钟周 期数	(ms) ⁽¹⁾	系统时钟周 期数	(ms) ⁽¹⁾	系统时钟 周期 数
5	5.019	199.258	816160	200.26	820265	199.250	816128
10	10.038	99.633	408096	100.635	412201	99.625	408064
20	20.075	49.820	204064	50.822	208169	49.812	204032
40	40.151	24.92	102072	25.172	103106	24.906	102016
80	80.301	12.467	51064	12.719	52098	12.453	51008
160	160.602	6.240	25560	6.492	26594	6.226	25504
320	321.608	3.124	12796	3.25	13314	3.109	12736
640	643.216	1.569	6428	1.695	6946	1.554	6368
1000	1000	1.014	4156	1.141	4674	1	4096
2000	2000	0.514	2108	0.578	2370	0.5	2048

(1) 对于fCLK = 4.096 MHz.

ADSD1248低噪声24位模数转换器

校准

转换数据由失调和增益寄存器进行缩放，然后产生最终输出码。如图30所示，数字滤波器的输出首先由失调寄存器(OFC)减去，然后乘以满量程寄存器(FSC)，以数字方式调整增益。数字限幅电路确保输出码不超过24位。等式17显示了缩放比例。

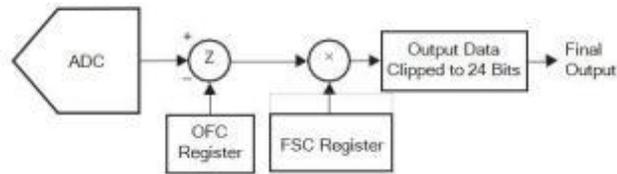


图30.校准框图

$$\text{Final Output Data} = (\text{Input} - \text{OFC}[2:0]) \times \text{FSC}[2:0] \quad (17)$$

失调寄存器和满量程寄存器的值可以通过直接写入来设置，也可以通过校准命令自动设置。失调和增益校准特性旨在校正较小的系统电平失调和增益误差。将手动值输入校准寄存器时，必须小心避免将增益寄存器缩小到远低于比例因子1.0的值。在极端情况下，ADC有可能超量程。避免遇到模拟输入连接到大于 $V_{REF}/\text{增益}$ 电压的情况。使用FSC增加数字增益时要小心。当实现比标称值高20%以下的自定义数字增益且失调小于满量程的40%时，无需特别注意。当数字增益比标称值高20%以上且失调大于满量程的40%时，确保失调和增益寄存器符合公式18的条件。

$$2V/\text{Gain Scaling} - 1.125V > |\text{Offset Scaling}| \quad (18)$$

失调校准寄存器:OFC[2:0]

失调校准寄存器是一个24位字，由三个8位寄存器组成。失调为二进制补码格式，最大正值为7FFFFFFh，最大负值为800000h。从转换数据中减去该值。寄存器值000000h不提供失调校正。注意，虽然失调校准寄存器值可以校正 $-FS$ 至 $+FS$ 范围内的失调(如表15所示)，但要避免模拟输入过载。

表 15. 最终输出代码与失调校准寄存器设置的关系

偏移寄存器	最终输出代码 $V_{IN}=0^{(1)}$
7FFFFFFh	800000h
000001h	FFFFFFh
000000h	000000h
FFFFFFh	000001h
800000h	7FFFFFFh

(1) 排除噪声和固有失调误差的影响。

满量程校准寄存器:FSC[2:0]

满量程或增益校准寄存器是一个24位字，由三个8位寄存器组成。满量程校准值为24位直接二进制，在代码400000h时归一化为1.0。表16总结了满量程寄存器的缩放比例。请注意，虽然满量程校准寄存器可以校正大于1的增益误差(增益调整小于1)，但要确保避免模拟输入过载。FSC的默认值或复位值取决于PGA增益设置。为每个PGA增益设置存储不同的工厂调整FSC复位值，从而在所有器件输入范围内提供增益精度。

注意每当PGA增益设置改变时，工厂调整的FSC复位值自动加载。

ADSD1248低噪声24位模数转换器

表 16.增益校正系数与满量程校准寄存器设置的关系

满量程寄存器	增益标度
400000h	2.0
200000h	1.0
100000h	0.5
000000h	0

校准命令

该器件提供三种类型校准的命令:系统增益校准、系统失调校准和自失调校准。如果需要绝对精度,我们建议在上电、温度变化、增益变化以及某些情况下的通道变化后执行校准。校准完成后,DRDY信号变为低电平,表示校准已完成。校准后的第一个数据总是有效的。校准开始后,在校准过程中发出命令会导致数据损坏。如果发生这种情况,要么重新发送已中止的校准命令,要么发出设备复位命令。

系统失调和自失调校准

系统失调校准可校正内部和外部失调误差。系统失调校准通过发送 SYSOCAL命令启动,同时将零差分输入(VIN=0)施加于选定的模拟输入,同时输入处于输入共模范围内,理想情况下为中间电源电压。通过发送自聚焦命令启动自偏移校准。在自失调校准期间,所选输入与内部电路断开,内部施加零差分信号,将输入连接到中间电源。两次失调校准后,失调校准寄存器(OFC)都会更新。当发出任一失调校准命令时,器件停止当前转换,并立即启动校准程序。失调校准应在增益校准之前执行。

系统增益校准

系统增益校准可校正信号路径中的增益误差。将满量程输入施加于选定的模拟输入时,通过发送SYSGCAL命令启动系统增益校准。之后,满量程校准寄存器(FSC)会更新。当发出系统增益校准命令时,器件停止当前转换,并立即启动校准程序。

校准时间

启动校准时器件执行16次连续数据转换并对结果求平均值,以计算校准值。这提供了更精确的校准值。校准所需的时间如表17所示,可以使用公式19计算: Calibration Time=tCAL+50/fCLK+32/fMOD+16/fDATA (19) 其中, fDATA是数据速率

表 17.校准时间与数据速率的关系

数据速率 (SPS)	校准时间 (tCAL) (ms)
5	3201.01
10	1601.01
20	801.012
40	400.26
80	200.26
160	100.14
320	50.14

ADSD1248低噪声24位模数转换器

编程：串行接口

该器件提供一个SPI兼容型串行通信接口和一个数据就绪信号(DRDY)。除了RREG命令和RDATA命令的一些限制外，通信是全双工的。这些限制在命令中有详细解释。有关基本串行接口时序特性，请参见本文的图1和图2。

片选(CS)

CS引脚激活SPI通信。CS在数据传输前必须为低电平，并且在整个SPI通信周期内必须保持低电平。当CS为高电平时，DOUT/DRDY引脚进入高阻态。因此，串行接口的读写被忽略，串行接口复位。DRDY引脚的操作独立于CS。即使CS为高电平，DRDY仍会指示新的转换已完成，并作为对SCLK的响应而被强制拉高。

将CS拉高只会禁用与器件的SPI通信。数据转换继续进行，可以监控DRDY信号，检查新的转换结果是否就绪。监控DRDY信号的主机可以通过拉低CS引脚来选择合适的从机。

串行时钟 (SCLK)

SCLK为串行通信提供时钟。SCLK是一个施密特触发器输入，但我们建议让SCLK尽可能不受噪声影响，以防止毛刺无意中转移数据。数据在SCLK的下降沿移入DIN，在SCLK的上升沿移出dout。

数据输入(DIN)

DIN与SCLK一起用于向设备发送数据。DIN上的数据在SCLK的下降沿移入器件。

该设备的通信本质上是全双工的。即使数据正被移出，该器件也能监控移入的命令。当发送命令时，输出移位寄存器中的数据被移出。因此，在移出数据时，要确保DIN引脚上发送的任何信号都是有效的。当读取数据时没有命令发送到设备时，在DIN上发送NOP命令。

数据就绪 (DRDY)

DRDY引脚变为低电平，表示新的转换完成，转换结果存储在转换结果缓冲器中。在DRDY低电平转换后，SCLK必须在tDTS内保持低电平(见图2)，以便将转换结果载入结果缓冲器和输出移位寄存器。因此，如果稍后要读取转换结果，在此期间不要发出任何命令。该限制仅在CS置位且器件处于RDATA模式适用。当CS未置位时，SPI总线上与其它器件的SPI通信不会影响转换结果的加载。DRDY引脚变为低电平后，在SCLK的第一个下降沿强制变为高电平(这样DRDY引脚就可以轮询0，而不是等待下降沿)。如果DRDY引脚在变为低电平后没有通过SCLKs时钟变为高电平，则持续tPWH的短高电平脉冲表示新数据就绪。

数据输出与数据就绪(DOUT/DRDY)

OUT/DRDY引脚有两种模式:仅数据输出(DOUT)或DOUT结合数据就绪(DRDY)。DRDY模式位决定此引脚的功能，可在ADSD1248的IDAC0寄存器中找到。在任一模式下，当CS变为高电平时，DOUT/DRDY引脚进入高阻态。

当DRDY模式位设为0时，此引脚仅用作DOUT。数据在SCLK的上升沿逐个输出，MSB优先(如图31所示)。

当DRDY模式位置1时，此引脚同时用作DOUT和DRDY。与dout一样，数据移出，但该引脚增加了DRDY功能。请注意，当发出SDATAC命令时，如果器件处于停止读取数据连续模式，则此模式不可用。

DRDY模式位仅修改DOUT/DRDY引脚的功能。DRDY引脚功能不受影响。

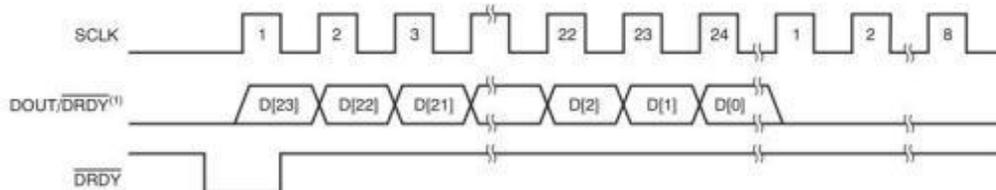
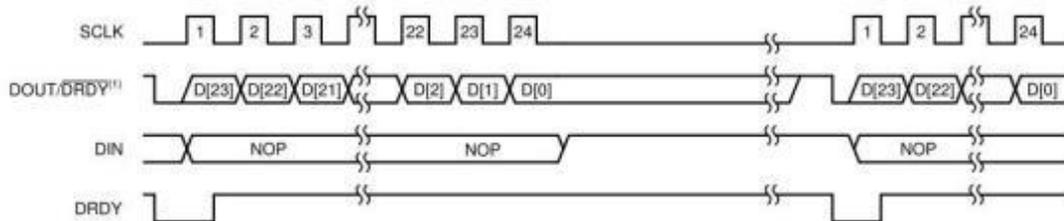


图31.DRDY模式位=0时的数据检索(禁用)

当DRDY模式位使能且新的转换完成时，如果DOUT/DRDY为高电平，则变为低电平。如果已经处于低电平，DOUT/DRDY会先变为高电平，然后变为低电平(如图32所示)。与DRDY引脚类似，DOUT/DRDY引脚的下降沿表示新的转换结果就绪。DOUT/DRDY变为低电平后，如果器件处于读取数据连续模式，可以通过提供24个SCLKs逐个输出数据。为了强制DOUT/DRDY为高电平(以便DOUT/DRDY可以轮询0，而不是等待下降沿)，可以在读取数据后发送无操作命令(NOP)或任何其他不加载数据输出寄存器的命令。由于SCLKs只能以8的倍数发送，因此如果没有其它命令挂起，可以发送NOP来强制DOUT/DRDY为高电平。完整读取转换结果后，DOUT/DRDY引脚在SCLK的第一个上升沿变为高电平(如图33所示)。同样的条件也适用于RREG命令之后。读出所有寄存器位后，SCLK的第一个上升沿强制DOUT/DRDY为高电平。图34显示了一个示例，在用RREG命令读取

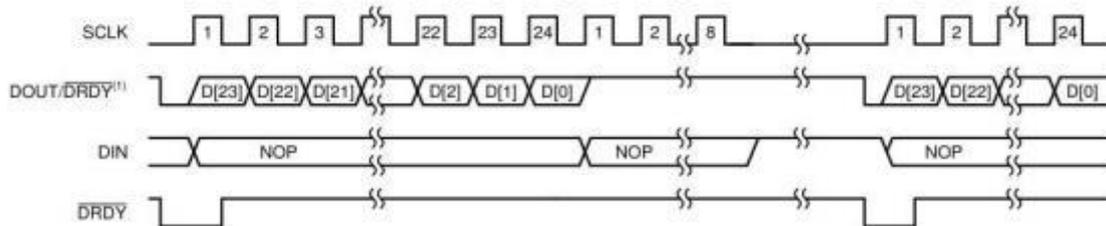
ADSD1248低噪声24位模数转换器

寄存器后发送额外的NOP命令会强制DOUT/DRDY引脚变为高电平。



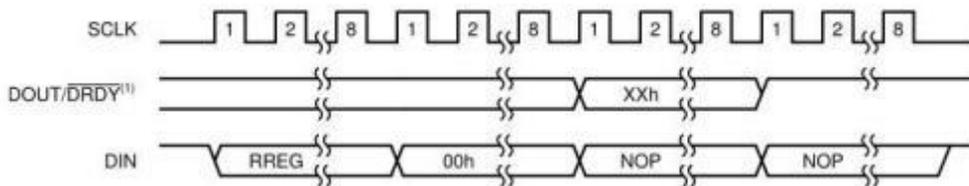
(1) CS 连接到低电平.

图32.DRDY 模式位=1时的数据检索(使能)



(1) DRDY模式位使能, CS接低电平.

图33.检索转换结果后, DOUT/DRDY被强制拉高



(1) DRDY模式位使能, CS接低电平.

图34.读取寄存器数据后, DOUT/DRDY被强制拉高

SPI复位

SPI通信复位有几种方式。要复位串行接口(不复位寄存器或数字滤波器), 可以将CS引脚拉高。将RESET引脚拉低会复位串行接口以及所有其它数字功能。它还会将所有寄存器恢复为默认值, 并开始新的转换。

在CS永久连接到低电平的系统中, 寄存器写操作必须始终以8位为增量完全完成。如果SCLK上的一个小故障中断了SPI通信, 设备将无法识别命令。如果数据被破坏且CS引脚永久保持低电平, 器件会对所有列出的命令执行超时功能。如果空闲64个转换周期, SPI超时将复位接口。

掉电模式下的SPI通信

当START引脚为低电平或器件处于掉电模式时, 只能发出RDATA、RDATA、SDATA、WAKEUP和NOP命令。RDATA命令可以用来在掉电模式下重复读取最后一次转换结果。其它命令不起作用, 因为在掉电模式下, 内部时钟被关断以省电。

数据格式

该器件以二进制补码格式提供24位数据。一个码的大小(LSB)通过公式20计算。

$$1\text{LSB} = (2 \times V_{\text{REF}} / \text{Gain}) / 2^{24} = +\text{FS} / 2^{23} \quad (20)$$

正满量程(FS)输入 $[V_{\text{IN}} \geq (+\text{FS} - 1\text{LSB}) = (V_{\text{REF}} / \text{增益} - 1\text{LSB})]$ 产生7FFFFFFh的输出码, 负满量程输入 $(V_{\text{IN}} \leq -\text{FS} = -V_{\text{REF}} / \text{增益})$ 产生800000h的输出码。对于超过满量程的信号, 输出在这些代码处削波。表18总结了不同输入信号的理想输出代码。

ADSD1248低噪声24位模数转换器

表 18.理想输出代码与输入信号的关系

输入信号, $V_{IN}(A_{INP} - A_{INN})$	理想输出代码 ⁽¹⁾
$\geq FS(2^{23}-1)/2^{23}$	7FFFFFFh
$FS/2^{23}$	000001h
0	000000h
$-FS/2^{23}$	FFFFFFh
$\leq -FS$	800000h

排除噪声、线性度、失调和增益误差的影响。

模拟输入信号到输出码的映射如图 35所示。

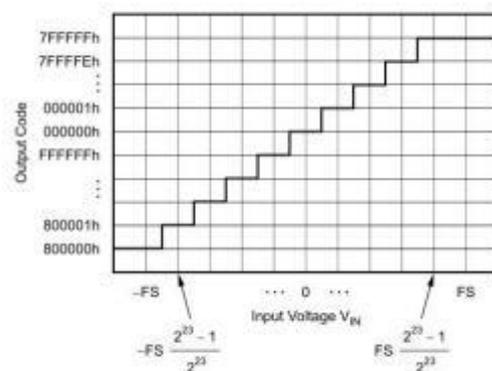


图 35.代码转换图

命令

该器件提供13种命令来控制器件操作，如表19所示。一些命令是独立的命令(WAKEUP, SLEEP, SYNC, RESET, SYSOCAL, SYSGCAL和SELFOCAL)。另外还有三个命令用于控制从器件读取数据(RDATA、RDATA C和SDATA C)。从器件读取(RREG)和向器件写入(WREG)配置寄存器数据的命令需要附加信息作为指令的一部分。无操作命令(NOP)可用于从器件中逐个输出数据，而无需逐个输入命令。

操作数:

- n = 要读取或写入的寄存器数量(字节数 - 1)
- r = 寄存器(0 至 15)
- x = 不在乎

表 19.SPI命令

命令	描述	第一个命令字节	第二个命令字节
WAKEUP	退出省电模式	0000 000x(00h,01h)	
SLEEP	进入省电模式	0000 001x(02h,03h)	
SYNC	同步ADC 转换	0000 010x(04h,05h)	0000 010x(04h,05h)
RESET	重置为默认值	0000 011x(06h,07h)	
START/SYNC	命令控制转换	0000 100x(08h,09h)	
STOP	停止命令控制转换	0000 101x(0ah,0bh)	
NOP	无操作	1111 1111(FFh)	
RDATA	读取数据一次	0001 001x(12h, 13h)	
RDATA C	读取数据连续模式	0001 010x(14h, 15h)	
SDATA C	停止读取数据连续模式	0001 011x(16h, 17h)	
RREG	从寄存器rrrr 读取	0010 rrrr(2xh)	0000 nnnn
WREG	写入寄存器rrrr	0100 rrrr(4xh)	0000 nnnn

ADSD1248低噪声24位模数转换器

SYSOCAL	系统失调校准	0110 0000(60h)	
SYSGCAL	系统增益校准	0110 0001(61h)	
SELFOCAL	自失调校准	0110 0010(62h)	

WAKEUP(0000 000x)

使用唤醒命令在睡眠命令后给器件上电。执行唤醒命令后，器件在第八个 SCLK 的下降沿上电。

SLEEP(0000 001x)

SLEEP 命令将器件置于省电模式。发出休眠命令时，器件完成当前转换，然后进入省电模式。注意该命令不会自动关断内部基准电压源；详情参见MUX1中各器件的VREFCON位。要退出掉电模式，发出唤醒命令。通过发出唤醒命令，然后发出休眠命令，可以执行单次转换。WAKEUP和SLEEP都是软件命令，相当于使用START引脚来控制器件，如图36所示。注意如果START引脚保持低电平，或者START/SYNC命令控制单次转换模式，则唤醒命令不会使器件上电。使用SLEEP命令时，CS必须在掉电模式期间保持低电平。

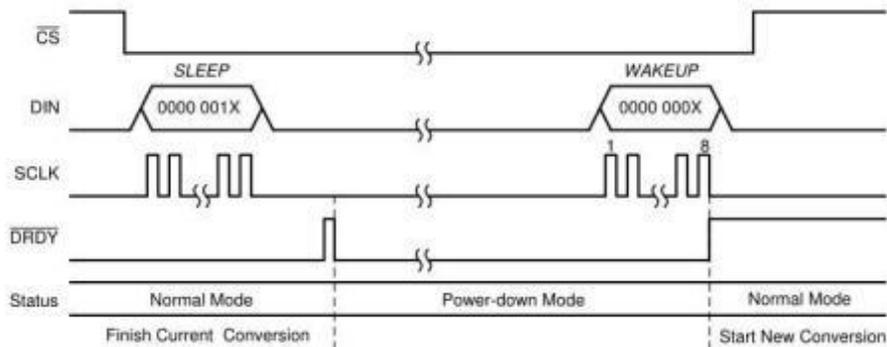


图36.睡眠和唤醒命令操作

SYNC(0000 010x)

SYNC命令复位ADC数字滤波器，并开始新的转换。连接到同一SPI总线的多个器件的DRDY引脚可以通过同时向所有器件发出SYNC 命令来同步。

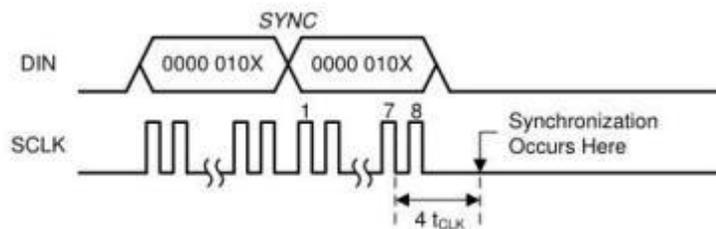


图37.同步命令操作

RESET (0000 011x)

RESET命令将寄存器恢复到各自的默认值。该命令还会复位数字滤波器。RESET命令相当于使用RESET引脚来复位器件。但是，RESET命令不会复位串行接口。如果在串行接口因SCLK上的毛刺而不同步时发出复位命令，则器件不会复位。CS引脚可以用来首先复位串行接口，然后可以发出复位命令来复位器件。当系统时钟频率为4.096MHz 时，复位命令使寄存器和抽取滤波器保持复位状态 0.6ms，类似于硬件复位。因此，SPI通信只能在RESET命令发出0.6m后启动，如图38所示。

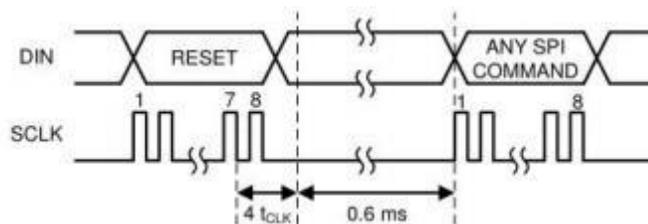


图38.SPI 复位后的SPI 通信

ADSD1248低噪声24位模数转换器

START/SYNC (0000 100x)

START/SYNC命令控制设备进入命令控制转换模式。在单次触发模式下，START/SYNC命令用于启动单次转换，或者(在正在进行的转换过程中发送时)复位数字滤波器，然后重启单次新转换。当器件设置为连续转换模式时，必须发出一次START/SYNC命令才能开始连续转换。在连续转换模式下进行转换时，发送START/SYNC命令会复位数字滤波器，并重启连续转换。

STOP (0000 101x)

当器件处于START/SYNC命令控制转换模式时，它可以通过发送STOP命令退出该模式，器件在第八个SCLK的下降沿上电。

RDATA (0001 001x)

RDATA命令将最近的转换结果载入输出寄存器。发出此命令后，通过发送24个SCLKs来读取转换结果，如图36所示。该命令也适用于RDATA模式。

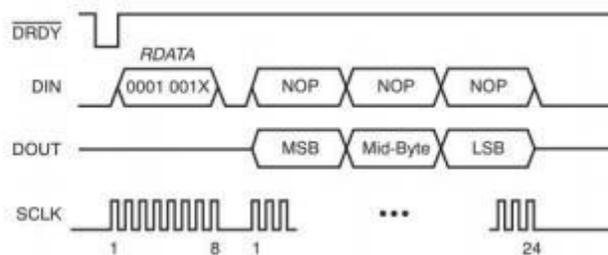


图39.读取数据一次

对转换结果执行多次读取时，利用串行接口的双工通信特性，当转换结果的最后8位在第一次读取操作期间移出时，可以发送 RDATA命令，如图40所示。

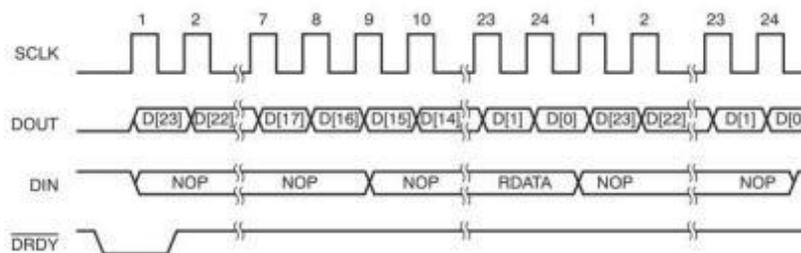


图40.在全双工模式下使用RDATA

RDATA (0001 010x)

RDATA命令使能读取数据连续模式。这是上电或复位后的默认模式。在读取数据连续模式下，新的转换结果会自动载入DOUT。通过发送24个SCLKs，可以在DRDY信号变为低电平后从器件接收转换结果。只要读出的位数是8的倍数，就没有必要读回所有的位。RDATA命令必须在DRDY变为低电平后发出，该命令在下一个DRDY生效。确保在DRDY返回低电平之前完成数据检索(转换结果或寄存器回读)，否则产生的数据将会损坏。RDATA模式下成功的寄存器读取操作需要知道下一个DRDY下降沿何时出现。

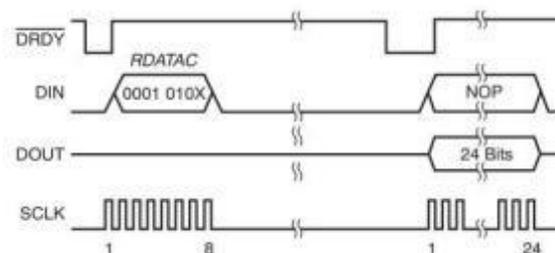


图41.连续读取数据

ADSD1248低噪声24位模数转换器

SDATAC (0001 011x)

SDATAC命令终止读取数据连续模式。在停止读取数据连续模式下，当DRDY变为低电平时，转换结果不会自动载入DOUT，可以执行寄存器读取操作，而不会因新转换结果载入输出移位寄存器而中断。使用RDATA命令检索转换数据。SDATAC命令在下一个DRDY后生效。如果没有主动监控DRDY的数据转换，停止读取数据连续模式是读取数据的首选方法。在这种模式下，新ADC转换的完成不会中断ADC数据的读取。

RREG (0010rrrr, 0000nnnn)

RREG命令从指令中指定的寄存器地址开始，输出多达15个寄存器的数据。读取的寄存器数量是1加上第二个字节的值。如果计数超过剩余的寄存器，地址将返回到起始位置。下面列出了RREG的两字节命令结构。

- 第一个命令字节:0010 rrrr，其中 rrrr 是要读取的第一个寄存器的地址。
- 第二个命令字节:0000 nnnn，其中 nnnn 是要读取的字节数 - 1
- 字节:从寄存器读取的数据通过nop 输出。

读取寄存器数据时，不能使用串行接口的全双工特性。例如，读取VBIAS和MUX1数据时，不能发出SYNC命令，如图42所示。寄存器数据读出期间发送的任何命令都会被忽略。因此，我们建议在读取寄存器数据时通过DIN发送 nop。

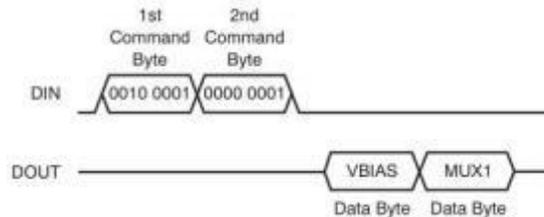


图42.从寄存器读取

WREG (0100rrrr,0000nnnn)

WREG 命令写入寄存器，从指令中指定的寄存器开始。写入的寄存器数量是1加上第二个字节的值。WREG的命令结构如下所示。

- 第一个命令字节:0100rrrr，其中rrrr是要写入的第一个寄存器的地址。
- 第二个命令字节:0000nnnn，其中nnnn是要写入的字节数-1。
- 字节:要写入寄存器的数据。

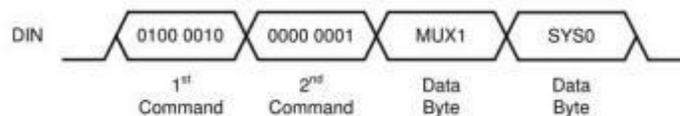


图43.写入寄存器

SYSOCAL (0110 0000)

SYSOCAL命令启动系统失调校准。对于系统失调校准，输入必须外部短路至输入共模范围内的电压。输入应接近 $(AVDD+AVSS)/2$ 的中间电源电压。当命令完成时，OFC寄存器被更新。校准命令的时序如图44所示。

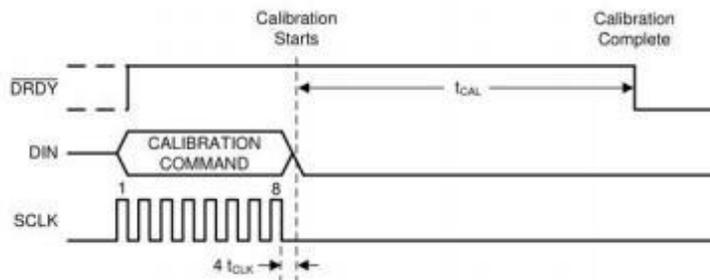


图44.校准命令

ADSD1248低噪声24位模数转换器

SYSGCAL (0110 0001)

SYSGCAL 命令启动系统增益校准。对于系统增益校准，输入应设为满量程。FSC 寄存器在该操作之后被更新。校准命令的时序如图 44 所示。

SELFOCAL (0110 0010)

SELFOCAL 命令启动自偏移校准。该器件在内部将输入短接到中间电源，并执行校准。OFC 寄存器在该操作之后被更新。校准命令的时序如图44所示。

NOP (1111 1111)

这是一个无操作命令。这用于在不输入命令的情况下输出数据。

ADSD1248寄存器映射

表20. ADS1248寄存器映射

ADDRESS	REGISTER	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0	
00h	MUX0	BCS[1:0]		MUX_SP[2:0]			MUX_SN[2:0]			
01h	VBIAS	VBIAS[7:0]								
02h	MUX1	CLKSTAT	VREFCON[1:0]		REFSELT[1:0]		MUXCAL[2:0]			
03h	SYS0	CM	PGA[2:0]			DR[3:0]				
04h	OFC0	OFC[7:0]								
05h	OFC1	OFC[15:8]								
06h	OFC2	OFC[23:16]								
07h	FSC0	FSC[7:0]								
08h	FSC1	FSC[15:8]								
09h	FSC2	FSC[23:16]								
0Ah	IDAC0	ID[3:0]				DRDY MODE	IMAG[2:0]			
0Bh	IDAC1	I1DIR[3:0]				I2DIR[3:0]				
0Ch	GPIOCFG	IOCFG[7:0]								
0Dh	GPDIR	IODIR[7:0]								
0Eh	GPIDAT	IODAT[7:0]								

ADSD1248详细的寄存器定义

MUX0—多路复用器控制寄存器0(offset=00h) [reset=01h]

该寄存器允许在任一输入通道上选择任意差分输入组合。注意，该设置可以被MUXCAL和VBIAS位取代。

图 45. 多路复用器控制寄存器0

7	6	5	4	3	2	1	0
BCS[1:0]		MUX_SP[2:0]			MUX_SN[2:0]		
R/W-0h		R/W-0h			R/W-1h		

图例:R/W=读/写; R=只读; -n=复位后的值; -x=变量

ADSD1248低噪声24位模数转换器

表21. 多路复用器控制寄存器0寄存器域描述

Bit	Field	Type	Reset	Description
7:6	BCS[1:0]	R/W	0h	失效检测电流源寄存器 这些位控制传感器烧毁检测的设置 电流源 00: 失效电流源关闭(默认) 01: 失效电流源开启, 0.5 μ A 10: 失效电流源开启, 2 μ A 11: 失效电流源开启, 10 μ A
5:3	MUX_SP[2:0]	R/W	0h	多路复用器选择- ADC 正输入 正输入通道选择位 000: AIN0 (默认) 001: AIN1 010: AIN2 011: AIN3 100: AIN4 101: AIN5 110: AIN6 111: AIN7
2:0	MUX_SN[2:0]	R/W	1h	多路复用器选择- ADC 负输入 负输入通道选择位 000: AIN0 001: AIN1 (默认) 010: AIN2 011: AIN3 100: AIN4 101: AIN5 110: AIN6 111: AIN7

VBias—偏置电压寄存器(offset=01h) [reset=00h]

图46. 偏置电压寄存器

7	6	5	4	3	2	1	0
VBIAS[7:0]							
R/W-00h							

图例:R/W=读/写; R=只读; -n=复位后的值; -x=变量

ADSD1248低噪声24位模数转换器

表22 偏置电压寄存器域描述

Bit	Field	Type	Reset	Description
7	VBIAS[7]	R/W	0h	VBIAS[7]电压使能 AIN7 上施加的偏置电压为中间电源电压(AVDD + AVSS) / 2 0: 偏置电压未使能(默认) 1: 偏置电压施加于 AIN7
6	VBIAS[6]	R/W	0h	VBIAS[6]电压使能 AIN6 上施加的偏置电压为中间电源电压(AVDD + AVSS) / 2 0: 偏置电压未使能(默认) 1: 偏置电压施加于 AIN6
5	VBIAS[5]	R/W	0h	VBIAS[5] Voltage Enable AIN5 上施加的偏置电压为中间电源电压(AVDD + AVSS) / 2 0: 偏置电压未使能(默认) 1: 偏置电压施加于 AIN5
4	VBIAS[4]	R/W	0h	VBIAS[4]电压使能 AIN4 上施加的偏置电压为中间电源电压(AVDD + AVSS) / 2 0: 偏置电压未使能(默认) 1: 偏置电压施加于 AIN4
3	VBIAS[3]	R/W	0h	VBIAS[3] 电压使能 AIN3 上施加的偏置电压为中间电源电压(AVDD + AVSS) / 2 0: 偏置电压未使能(默认) 1:偏置电压施加于 AIN3
2	VBIAS[2]	R/W	0h	VBIAS[2] 电压使能 AIN2 上施加的偏置电压为中间电源电压(AVDD + AVSS) / 2 0: 偏置电压未使能(默认) 1: 偏置电压施加于 AIN2
1	VBIAS[1]	R/W	0h	VBIAS[1] V 电压使能 AIN1 上施加的偏置电压为中间电源电压(AVDD + AVSS) / 2 0:偏置电压未使能(默认) 1: 偏置电压施加于 AIN1
0	VBIAS[0]	R/W	0h	VBIAS[0] 电压使能 AIN0 上施加的偏置电压为中间电源电压(AVDD + AVSS) / 2 0: 偏置电压未使能(默认) 1:偏置电压施加于 AIN0

mux1—多路复用器控制寄存器 1(offset=02h) [reset=x0h]

图 47.多路复用器控制寄存器 1

7	6	5	4	3	2	1	0
CLKSTAT	VREFCON[1:0]		REFSELT[1:0]		MUXCAL[2:0]		
R-xh	R/W-0h		R/W-0h		R/W-0h		

图例:R/W =读/写; R =只读; -n =复位后的值; -x =变量

ADSD1248低噪声24位模数转换器

表23.多路复用器控制寄存器0寄存器域描述

Bit	Field	Type	Reset	Description
7	CLKSTAT	R	xh	时钟状态 该位为只读,表示内部振荡器或正在使用外部时钟 0: 使用内部振荡器 1: 正在使用外部时钟
6:5	VREFCON[1:0]	R/W	0h	内部基准电压控制 这些位控制内部基准电压。这些位允许基准电压完全开启或关闭,或者允许基准电压状态跟随器件状态。请注意, IDAC 功能的操作需要内部基准电压源。 00: 内部基准电压源始终关闭(默认) 01: 内部基准电压源始终开启 10 or 11: 当转换正在进行时,内部基准电压源开启;当器件接收到休眠命令或 START 引脚变为低电平时,内部基准电压源关断
4:3	REFSELT[1:0]	R/W	0h	基准选择控制 这些位选择 ADC 的基准输入。 00: 选择 REFPO 和 REFNO 参考输入(默认) 01: 选择 REFP1 和 REFN1 基准电压输入 10: 选择内部基准电压源 11: 选择内部基准电压源并内部连接到 REFPO 和 REFNO 输入引脚
2:0	MUXCAL[2:0] ⁽¹⁾	R/W	0h	系统监控 这些位用于选择系统监视器。MUXCAL 选择取代 MUX0、MUX1 和 VBIAS 寄存器的选择(包括 MUX_SP、MUX_SN、VBIAS 和基准电压选择)。 000: 正常操作(默认) 001: 失调校准。模拟输入断开, AINP 和 AINN 内部连接到中间电源 (AVDD + AVSS)/2。 010: 增益校准。模拟输入连接到基准电压源。 011: 温度测量。输入连接到二极管电路,该电路产生与设备环境温度成比例的电压。 100: REF1 监控器。模拟输入断开, AINP 和 AINN 内部连接到 (V(ref P1)-V(ref n1))/4 101: REF0 监控器。模拟输入断开, AINP 和 AINN 内部连接到 (V(ref P0)-V(ref n0))/4 110: 模拟电源监控器。模拟输入断开, AINP 和 AINN 内部连接到 (AVDD - AVSS)/4 111: 数字电源监控器。模拟输入断开, AINP 和 AINN 内部连接到 (DVDD - DGND)/4

使用任一基准电压监控器时,应使能内部基准电压

表24提供了每个MUXCAL设置的ADC输入连接和PGA设置。当MUXCAL恢复正常工作或失调测量时,PGA设置恢复为原始SYS0寄存器设置。

表24.多路复用器控制寄存器0寄存器域描述

MUXCAL[2:0]	PGA 增益设置	ADC 输入
000	由SYS0寄存器设置	正常运行
001	由SYS0寄存器设置	输入短接到中间电源(AVDD + AVSS) / 2
010	强制 1	$V_{(REFP)} - V_{(REFN)}$ (满量程)
011	强制 1	Temperature measurement diode
100	强制 1	$(V_{(REFP1)} - V_{(REFN1)}) / 4$
101	强制 1	$(V_{(REFP0)} - V_{(REFN0)}) / 4$
110	强制 1	$(AVDD - AVSS) / 4$
111	强制 1	$(DVDD - DGND) / 4$

SYS0—系统控制寄存器 0 (offset = 03h) [reset = 00h]

ADSD1248低噪声24位模数转换器

图48.系统控制寄存器0

7	6	5	4	3	2	1	0
CM	PGA[2:0]			DR[3:0]			
R/W-0h	R/W-0h			R/W-0h			

图例:R/W=读/写; R=只读; -n=复位后的值; -x=变量

表25.系统控制寄存器0域描述

位	域	类型	复位	描述
7	CM	R/W	0h	转换模式 该位设置启动/同步命令, 控制器件的转换模式。 0:单 次拍摄模式(默认) 1:连续转换模式
6:4	PGA[2:0]	R/W	0h	PGA 的增益设置 这些位决定 PGA 的增益 000: PGA = 1 (默认) 001: PGA = 2 010: PGA = 4 011: PGA = 8 100: PGA = 16 101: PGA = 32 110: PGA = 64 111: PGA = 128
3:0	DR[3:0]	R/W	0h	数据输出速率设置 这些位决定ADC 的数据输出速率 0000: DR = 5 SPS (default) 0001: DR = 10 SPS 0010: DR = 20 SPS 0011: DR = 40 SPS 0100: DR = 80 SPS 0101: DR = 160 SPS 0110: DR = 320 SPS 0111: DR = 640 SPS 1000: DR = 1000 SPS 1001 to 1111: DR = 2000 SPS

OFC—失调校准系数寄存器(offset=04h、05h、06h) [reset=00h、00h、00h]

表49. 偏移校准系数寄存器

7	6	5	4	3	2	1	0
OFC[7:0]							
R/W-0h							
7	6	5	4	3	2	1	0
OFC[15:8]							
R/W-0h							
7	6	5	4	3	2	1	0
OFC[23:16]							
R/W-0h							

图例:R/W=读/写; R=只读; -n=复位后的值; -x=变量

ADSD1248低噪声24位模数转换器

表26.失调校准系数寄存器域描述

Bit	Field	Type	Reset	Description
23:0	OFC[23:0]	R/W	000000h	失调校准寄存器 三个寄存器组成 ADC 24 位失调校准字。该 24 位字为二进制补码格式，内部左移以与 ADC 24 位转换结果对齐。满量程操作之前，ADC 从转换结果中减去寄存器值。

FSC—满量程校准系数寄存器(offset = 07h、08h、09h) [reset = PGA 相关]

这些位构成满量程校准系数寄存器。对于每个PGA设置，FSC的复位值都经过工厂调整。每当PGA设置改变时，自动加载工厂调整的FSC复位值。

图50.满量程校准系数寄存器

7	6	5	4	3	2	1	0
FSC[7:0]							
R/W-00h							
7	6	5	4	3	2	1	0
FSC[15:8]							
R/W-00h							
7	6	5	4	3	2	1	0
FSC[23:16]							
R/W-20h							

图例:R/W =读/写; R =只读; -n =复位后的值; -x =变量

表27.满量程校准系数寄存器域描述

Bit	Field	Type	Reset	Description
23:0	FSC[23:0]	R/W	200000h	满量程校准寄存器 三个寄存器组成ADC24位满量程校准字。24位字是标准的二进制。ADC将增益校准后获得的增益系数存储在FSC寄存器中，ADC将比例系数乘以转换结果。每当PGA设置改变时，自动加载工厂调整的FSC复位值。

IDAC0—IDAC 控制寄存器 0 (offset = 0Ah) [reset = x0h]

图51.IDAC 控制寄存器0

7	6	5	4	3	2	1	0
ID[3:0]				DRDY MODE	IMAG[2:0]		
R-xh				R/W-0h	R/W-0h		

图例:R/W =读/写; R =只读; -n =复位后的值; -x =变量

ADSD1248低噪声24位模数转换器

表 28.IDAC 控制寄存器0域描述

位	域	类型	复位	描述
7:4	ID[3:0]	R	xh	版本标识 只读、工厂编程位；用于版本识别。
3	DRDY MODE	R/W	0h	数据就绪模式设置 该位设置 DOUT/DRDY 引脚的功能。在 DRDY 模式位的任一设置中，专用 DRDY 引脚继续指示数据就绪、低电平有效。 0: DOUT/DRDY 引脚仅用作数据输出(默认) 1: DOUT/DRDY 引脚同时用作数据输出和数据就绪。 低电平有效 ⁽¹⁾
2:0	IMAG[2:0]	R/W	0h	IDAC 激励电流幅度 MCT1248 有两个激励电流源(IDACs),可用于传感器激励。 这IMAG 位控制激励电流的幅度。IDACs 要求内部基准电压源开启。 000:关闭(默认) 001: 50 μ A 010: 100 μ A 011: 250 μ A 100: 500 μ A 101: 750 μ A 110: 1000 μ A 111: 1500 μ A

不能在SDATAC模式下使用 IDAC1—IDAC控制寄存器 1 (offset=0Bh) [reset=FFh]

图 52.IDAC 控制寄存器1

7	6	5	4	3	2	1	0
I1DIR[3:0]				I2DIR[3:0]			
R/W-Fh				R/W-Fh			

图例:R/W=读/写; R=只读; -n=复位后的值; -x=变量

ADSD1248低噪声24位模数转换器

表29.IDAC 控制寄存器域描述

位	域	类型	复位	描述
7:4	I1DIR[3:0]	R/W	Fh	IDAC 激励电流输出 1 这些位选择第一个激励电流源的输出引脚 0000: AIN0 0001: AIN1 0010: AIN2 0011: AIN3 0100: AIN4 0101: AIN5 0110: AIN6 0111: AIN7 10x0: IEXC1 10x1: IEXC2 11xx: 断开连接(默认)
3:0	I2DIR[3:0]	R/W	Fh	IDAC 激励电流输出 2 这些位选择第二激励电流源的输出引脚 0000: AIN0 0001: AIN1 0010: AIN2 0011: AIN3 0100: AIN4 0101: AIN5 0110: AIN6 0111: AIN7 10x0: IEXC1 10x1: IEXC2 11xx:断开连接(默认)

GPIOCFG—GPIO 配置寄存器(offset = 0Ch) [reset = 00h]

图 53.GPIO 配置寄存器

7	6	5	4	3	2	1	0
IOCFG[7:0]							
R/W-00h							

图例:R/W=读/写; R=只读; -n=复位后的值; -x=变量

表30.GPIO 配置寄存器域描述

位	域	类型	复位	描述
7	IOCFG[7]	R/W	0h	GPIO[7] (AIN7) 引脚配置 0: GPIO[7] 未启用(默认) 1: GPIO[7] 应用于 AIN7
6	IOCFG[6]	R/W	0h	GPIO[6] (AIN6) 引脚配置 0: GPIO[6] 未启用(默认) 1: GPIO[6]应用于 AIN6
5	IOCFG[5]	R/W	0h	GPIO[5] (AIN5) 引脚配置 0: GPIO[5] 未启用(默认) 1: GPIO[5]应用于 AIN5
4	IOCFG[4]	R/W	0h	GPIO[4] (AIN4) 引脚配置 0: GPIO[4] 未启用(默认) 1: GPIO[4]应用于 AIN4
3	IOCFG[3]	R/W	0h	GPIO[3] (AIN3) 引脚配置 0: GPIO[3]未启用(默认) 1: GPIO[3] 应用于 AIN3

ADSD1248低噪声24位模数转换器

2	IOCFG[2]	R/W	0h	GPIO[2] (AIN2) 引脚配置 0: GPIO[2]未启用(默认) 1: GPIO[2]应用于AIN2
1	IOCFG[1]	R/W	0h	GPIO[1] (REFN0) 引脚配置 0: GPIO[1]未启用(默认) 1: GPIO[1]应用于REFN1
0	IOCFG[0]	R/W	0h	GPIO[0] (REFP0) 引脚配置 0: GPIO[0] 未启用(默认) 1: GPIO[0]应用于REFP0

GPIO DIR—GPIO 方向寄存器(offset = 0Dh) [reset = 00h]

图 54.GPIO 方向寄存器

7	6	5	4	3	2	1	0
IODIR[7:0]							
R/W-00h							

图例:R/W =读/写; R =只读; -n =复位后的值; -x =变量

表 31.GPIO方向寄存器域描述

位	域	类型	复位	描述
7	IODIR[7]	R/W	0h	GPIO[7] (AIN7) 引脚方向 将GPIO[7]配置为GPIO 输入或GPIO 输出 0: GPIO[7]为输出(默认) 1: GPIO[7]为输入
6	IODIR[6]	R/W	0h	GPIO[6] (AIN6) 引脚方向 将GPIO[6]配置为GPIO 输入或GPIO 输出 0: GPIO[6]为输出(默认) 1: GPIO[6]为输入
5	IODIR[5]	R/W	0h	GPIO[5] (AIN5) 引脚方向 将 GPIO[5]配置为 GPIO 输入或 GPIO 输出 0: GPIO[5] 为输出(默认) 1: GPIO[5]为输入
4	IODIR[4]	R/W	0h	GPIO[4] (AIN4) 引脚方向 将 GPIO[4]配置为 GPIO 输入或 GPIO 输出 0: GPIO[4] 为输出(默认) 1: GPIO[4]为输入
3	IODIR[3]	R/W	0h	GPIO[3] (AIN3) 引脚方向 将 GPIO[3]配置为 GPIO 输入或 GPIO 输出 0: GPIO[3] 为输出(默认) 1: GPIO[3]为输入
2	IODIR[2]	R/W	0h	GPIO[2] (AIN2) 引脚方向 将 GPIO[2]配置为 GPIO 输入或 GPIO 输出 0: GPIO[2] 为输出(默认) 1: GPIO[2]为输入
1	IODIR[1]	R/W	0h	GPIO[1] (REFN0) 引脚方向 将 GPIO[1]配置为 GPIO 输入或 GPIO 输出 0: GPIO[1] 为输出(默认) 1: GPIO[1]为输入
0	IODIR[0]	R/W	0h	GPIO[0] (REFP0) Pin Direction 将 GPIO[0] 配置为 GPIO 输入或 GPIO 输出 0: GPIO[0] 为输出(默认) 1: GPIO[0]为输入

GPIO DAT—GPIO 数据寄存器(offset = 0Eh) [reset = 00h]

ADSD1248低噪声24位模数转换器

图 55. GPIO 数据寄存器r

7	6	5	4	3	2	1	0
IODAT[7:0]							
R/W-00h							

L 图例:R/W=读/写; R=只读; -n=复位后的值; -x=变量

表 31.GPIO 数据寄存器域描述

位	域	类型	复位	描述
7	IODAT[7]	R/W	0h	GPIO[7] (AIN7) 引脚数据 配置为输出, 读取返回配置为输入的寄存器值, 写入仅设置寄存器值 0: GPIO[7]为低电平(默认) 1: GPIO[7]为高电平
6	IODAT[6]	R/W	0h	GPIO[6] (AIN6) 引脚数据 配置为输出, 读取返回配置为输入的寄存器值, 写入仅设置寄存器值 0: GPIO[6]为低电平(默认) 1: GPIO[6]为高电平
5	IODAT[5]	R/W	0h	GPIO[5] (AIN5) 引脚数据 配置为输出, 读取返回配置为输入的寄存器值, 写入仅设置寄存器值 0: GPIO[5]为低电平(默认) 1: GPIO[5]为高电平
4	IODAT[4]	R/W	0h	GPIO[4] (AIN4) 引脚数据 配置为输出, 读取返回配置为输入的寄存器值, 写入仅设置寄存器值 0: GPIO[4]为低电平(默认) 1: GPIO[4]为高电平
3	IODAT[3]	R/W	0h	GPIO[3] (AIN3) 引脚数据 配置为输出, 读取返回配置为输入的寄存器值, 写入仅设置寄存器值 0: GPIO[3]为低电平(默认) 1: GPIO[3]为高电平
2	IODAT[2]	R/W	0h	GPIO[2] (AIN2) 引脚数据 配置为输出, 读取返回配置为输入的寄存器值, 写入仅设置寄存器值 0: GPIO[2]为低电平(默认) 1: GPIO[2]为高电平
1	IODAT[1]	R/W	0h	GPIO[1] (REFN0) 引脚数据 配置为输出, 读取返回配置为输入的寄存器值, 写入仅设置寄存器值 0: GPIO[1]为低电平(默认) 1: GPIO[1]为高电平
0	IODAT[0]	R/W	0h	GPIO[0] (REFP0) 引脚数据 配置为输出, 读取返回配置为输入的寄存器值, 写入仅设置寄存器值 0: GPIO[0] 为低电平(默认) 1: GPIO[0]为高电平

ADSD1248低噪声24位模数转换器

应用和实施

ADSD1248是一款24位ADC，提供许多集成特性，可以轻松测量最常见的传感器类型，包括各种温度和电桥传感器。使用这些器件设计应用时，主要考虑因素包括连接和配置串行接口、设计模拟输入滤波、为比率测量建立合适的外部基准电压源，以及为内部PGA设置共模输入电压。

串行接口连接

ADSD1248的串行接口连接原理如图56所示。

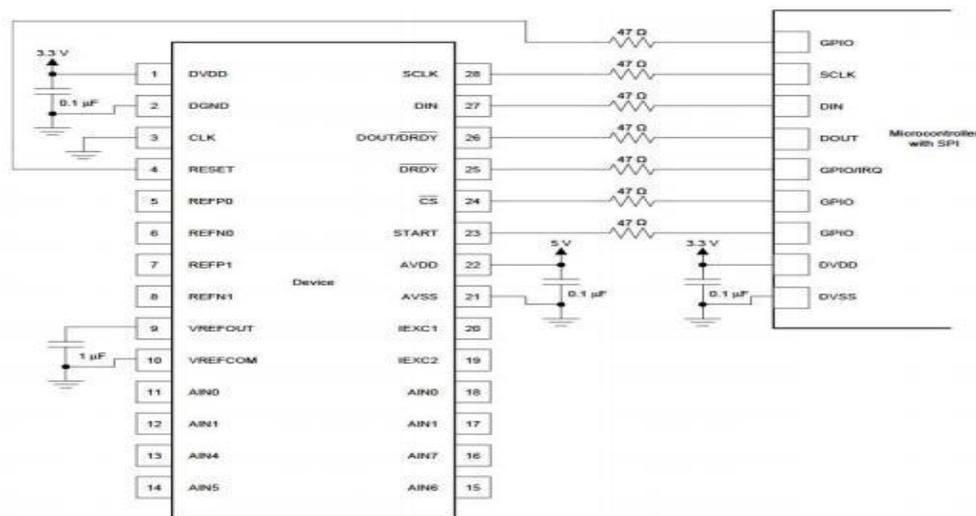


图56. 串行接口连接

大多数微控制器SPI外设都可以与ADSD1248一起工作。该接口在SPI模式1下工作，其中CPOL=0，CPHA=1。在SPI模式1下，SCLK处于低电平空闲状态，数据仅在SCLK上升沿发送或更改；数据由主机和从机在SCLK下降沿锁存或读取。我们建议将47-Ω电阻与所有数字输入和输出引脚(CS、SCLK、DIN、DOUT/DRDY、DRDY、RESET和START)串联。该电阻平滑急剧转换，抑制过冲，并提供一定的过压保护。必须注意满足所有SPI时序要求，因为附加电阻会与数字信号线上的总线电容相互影响。

模拟输入滤波

模拟输入滤波有两个目的：第一，限制采样过程中的混叠效应；第二，减少测量中的外部噪声。许多传感器信号固有的带宽受限；例如，热电偶的输出变化率有限。这种情况下，使用 $\Delta\Sigma$ ADC时，传感器信号不会混叠回通带。然而，沿着传感器布线或应用电路拾取的任何噪声都有可能混叠到通带中。

外部参考和比率测量

ADSD1248的满量程范围由参考电压和PGA增益($FSR = \pm VREF/gain$)定义。可以使用外部参考来代替集成的2.048V参考，以使FSR适应特定的系统需求。如果 $VIN > 2.048V$ ，则必须使用外部参考。例如，为了测量大至2.5V的信号，需要一个外部2.5V基准。注意，输入信号必须在共模输入范围内才能有效，并且参考输入电压必须在0.5V到 $(AVDD - AVSS - 1V)$ 之间。

建立适当的共模输入电压

ADSD1248用于测量各种类型的信号配置。然而，为相应的信号类型正确配置设备的输入是很重要的。

ADSD1248具有8输入多路复用器。每个输入都可以独立选择作为ADC测量的正输入或负输入。使用8输入多路复用器，用户可以测量四个独立的差分输入通道。用户也可以选择测量7个通道，使用一个输入作为固定的公共输入。无论模拟输入配置如何，请确保所有输入，包括公共输入都在共模输入电压范围内。

隔离(或浮动)传感器输入

隔离传感器(不参考ADC接地的传感器)必须在指定的ADC输入范围内建立共模电压。通过外部电阻偏压，通过将负极引线连接到地(双极模拟电源)，或通过连接到直流电压(单极模拟电源)，将共模电压电平漂移。2.048V参考输出电压也可用于为浮动传感器输入提供电平漂移。

ADSD1248低噪声24位模数转换器

未使用的输入和输出

为了尽量减少模拟输入上的泄漏电流，让未使用的模拟输入浮动，将它们连接到中间电源，或将它们连接到AVDD。将未使用的模拟输入连接到AVSS也是可能的，但会产生比前面提到的选项更高的泄漏电流。

不要浮动未使用的数字输入，否则可能导致电源泄漏电流过大。将所有未使用的数字输入连接到适当的电平，DVDD或DGND，包括在断电模式下。如果DRDY输出不使用，离开引脚不连接或使用弱上拉电阻将其绑到DVDD。

供电的建议

设备需要两个电源:模拟电源(AVDD, AVSS)和数字电源(DVDD, DGND)。模拟电源可以是双极(例如, AVDD=2.5V, AVSS=-2.5V)或单极(例如, AVDD=3.3V, AVSS=0V)，并且与数字电源无关。数字电源设置数字I/O电平(GPIO电平除外, 它由AVDD到AVSS的模拟电源设置)。

供电排序

电源可以按任何顺序排列，但在任何情况下，任何模拟或数字输入都不能超过各自的模拟或数字电源电压限制。在所有电源稳定后，至少等待 $216t_{CLK}$ 循环，才能与设备通信，使上电复位过程完成。

供电去耦

良好的电源去耦对实现最佳性能很重要。AVDD、AVSS(使用双极电源时)和DVDD必须用至少 $0.1\mu\text{F}$ 的电容器进行去耦，如图57所示。使用低阻抗连接，将旁路电容器尽可能靠近设备的电源引脚。我们建议使用多层陶瓷芯片电容器(mlcc)，提供低等效串联电阻(ESR)和电感(ESL)特性的电源解耦目的。对于非常敏感的系统，或在恶劣噪声环境中的系统，避免使用通孔将电容器连接到器件引脚，可以提供优越的噪声抗扰性。并联多个通孔的使用降低了整体电感，有利于与地平面的连接。我们建议将模拟地和数字地连接在一起，尽可能靠近设备。

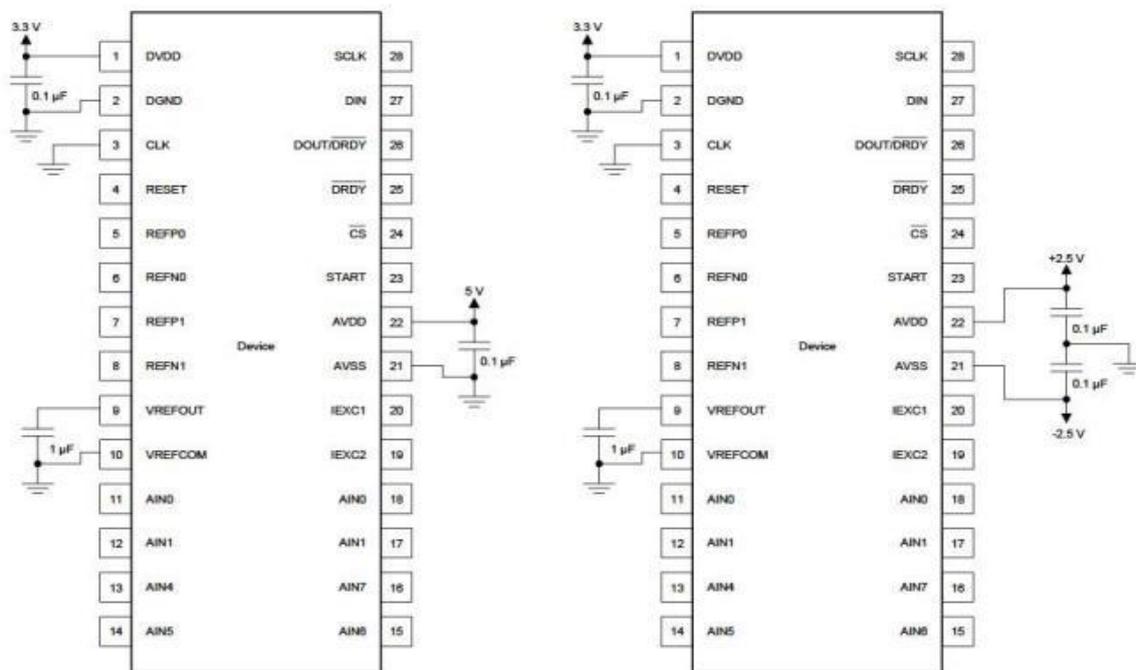


图57. 单极和双极电源运行的电源去耦

布局指南

我们建议在为模拟和数字组件布局印刷电路板(PCB)时采用最佳设计实践。这一建议通常意味着布局将模拟组件[如adc、放大器、参考器件、数模转换器(dac)和模拟mux]与数字组件[如微控制器、复杂可编程逻辑器件(cpld)、现场可编程门阵列(fpga)、射频(RF)收发器、通用串行总线(USB)收发器和开关调节器]分开。

ADSD1248低噪声24位模数转换器

布局案例

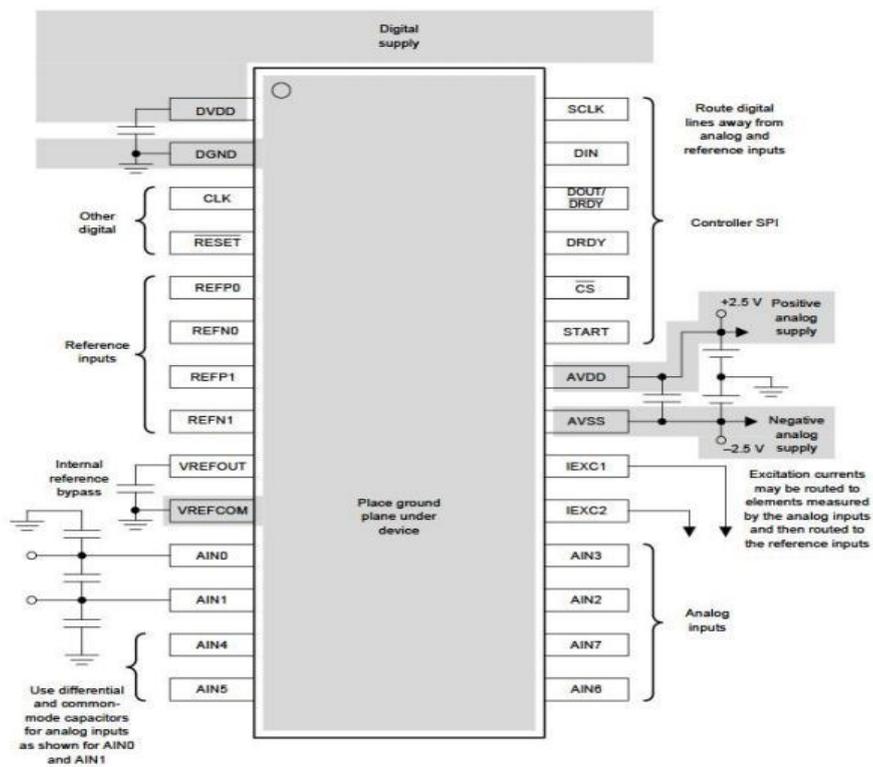


图58. ADSD1248布局案例

器件订购信息列表

产品型号	温度范围	封装	包装形式	ROHS
ADSD1248DTS	-40°C 到 +85°C	28-TSSOP	1000	Y