

ADSD1274/1278 4/8通道同步采样, 低噪声24位模数转换器

功能描述

- 4/8通道同步测量
- 最高144kSPS采样速率
- 交流特性:
70kHz带宽
110dB SNR
-109dB THD
- 直流精度:
0.8 μ V/ $^{\circ}$ C直流温漂
1.3ppm/ $^{\circ}$ C增益温漂
- 可选操作模式:
高速: 144kSPS, 106dB SNR
高分辨率: 52kSPS, 110dB SNR
低功耗: 52kSPS, 32mW/通道
低速: 10kSPS, 7mW/通道
- 内置线性数字滤波
- SPI或帧同步串行接口
- 低孔径误差
- 支持调制器输出模式
- 模拟电源: 5V
- 数字内核: 1.8V
- I/O供电: 1.8V-3.3V

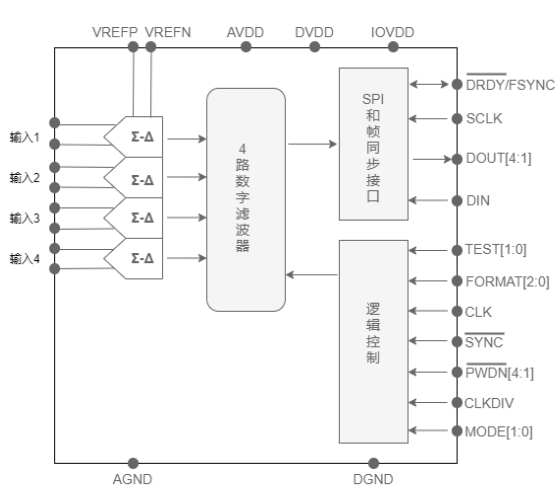
应用

- 振动分析
- 多通道数据采集
- 声学 / 动态应变器
- 压力传感器

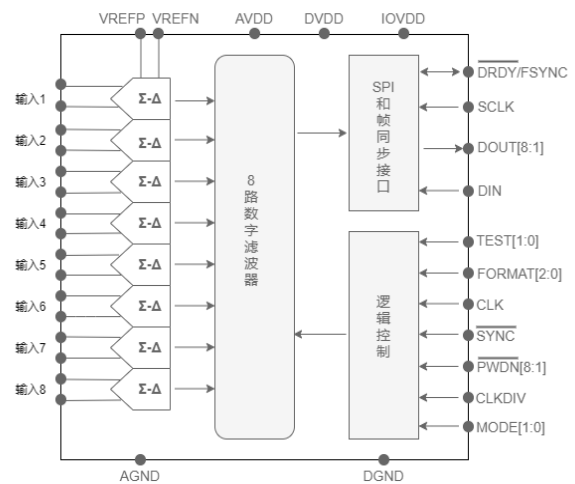
ADSD1274 (4通道) 和ADSD1278 (8通道) 为24位, 可达每秒144k采样速率 (SPS)的(Δ - Σ)模数转换器(ADC), 允许4或8通道同步采样。芯片采用相同的封装, 可以向下扩展。高分辨率的模数转换器在音频应用中有着大的可用带宽, 但偏移量和漂移显著小于同类工业产品。ADSD1274与ADSD1278适用于要求严格的直流与交流指标的高精度工业测量。

高阶的稳态斩波调节器实现了非常低的漂移和带内噪声。片上抽取滤波器抑制了带外噪声。模数转换器提供可用的信号带宽达奈奎斯特速率的90%, 并且带内纹波起伏小于0.005dB。

四种操作模式允许用户对于速度, 分辨率和功耗方面的平衡选择。所有的操作直接由管脚控制, 不需要编程寄存器。芯片满足于全部的工业温度范围 (-40 $^{\circ}$ C~+85 $^{\circ}$ C)。芯片采用TQFP-64 封装。



ADSD1274LFP功能框图



ADSD1278LFP功能框图

ADSD1274/1278 4/8通道同步采样, 低噪声24位模数转换器

绝对最大额定值

除非另有说明, 否则在室温范围内运行⁽¹⁾。

		ADSD1274, ADSD1278	单位
AVDD 至 AGND		-0.3 至 +6.0	V
DVDD, IOVDD 至 DGND		-0.3 至 +3.6	V
AGND 至 DGND		-0.3 至 +0.3	V
输入电流	瞬间	100	mA
	连续	10	mA
模拟输入到AGND		-0.3 至 AVDD + 0.3	V
数字输入或输出到DGND		-0.3 至 IOVDD + 0.3	V
最大焊接温度		+150	°C
操作温度范围	ADSD1274	-40 至 +125	°C
	ADSD1278	-40 至 +105	°C
贮存温度范围		-60 至 +150	°C

高于这些额定值的应力可能会造成永久性损坏。长时间暴露在绝对最大条件下可能会降低设备的可靠性。这些仅为应力额定值, 并不意味着设备在这些条件或任何其他超出规定条件的条件下的功能操作。

ADSD1274/1278 4/8通道同步采样, 低噪声24位模数转换器

电气特性

所有特性在 $T_A = -40^{\circ}\text{C}$ 至 $+105^{\circ}\text{C}$, $AVDD = +5\text{V}$, $DVDD = +1.8\text{V}$, $IOVDD = +3.3\text{V}$, $f_{\text{clk}} = 27\text{MHz}$, $V_{\text{REFP}} = 2.5\text{V}$, $V_{\text{REFN}} = 0\text{V}$, 并且所有通道活跃, 除非另有说明。

参数	测试条件	ADSD1274, ADSD1278			单位
		MIN	TYP	MAX	
模拟输入					
满幅输入电压FSR ⁽¹⁾	$V_{\text{IN}} = (\text{AINP} - \text{AINN})$		$\pm V_{\text{REF}}$		V
最大输入电压	AINP or AINN to AGND	AGND - 0.1		AVDD + 0.1	V
共模输入电压(VCM)	$V_{\text{CM}} = (\text{AINP} + \text{AINN})/2$		2.5		V
差分输入阻抗	高速模式 ⁽²⁾		14		k Ω
	高分辨率模式		14		k Ω
	低功耗模式		28		k Ω
	低速模式		140		k Ω
直流特性					
	数据分辨率	24			Bits
数据速率(fDATA)	高速模式	$f_{\text{CLK}} = 37\text{MHz}$		144,531	SPS ⁽³⁾
		$f_{\text{CLK}} = 32.768\text{MHz}$		128,000	SPS
		$f_{\text{CLK}} = 27\text{MHz}$		105,469	SPS
	高分辨率模式		52,734		SPS
	低功耗模式		52,734		SPS
低速模式		10,547		SPS	
积分非线性 (INL) ⁽⁴⁾	差分输入 $V_{\text{CM}} = 2.5\text{V}$		± 0.0003	± 0.0012	% FSR ⁽¹⁾
直流误差			0.25	2	mV
直流偏差温度漂移			0.8		$\mu\text{V}/^{\circ}\text{C}$
增益误差			0.1	0.5	% FSR
增益温度漂移			1.3		ppm/ $^{\circ}\text{C}$
噪声	高速模式	输入短接	8.5	16	μV , rms
	高分辨率模式	输入短接	5.5	12	μV , rms
	低功耗模式	输入短接	8.5	16	μV , rms
	低速模式	输入短接	8.0	16	μV , rms
共模抑制	$f_{\text{CM}} = 60\text{Hz}$	90	108		dB
电源抑制	AVDD	$f_{\text{PS}} = 60\text{Hz}$		80	dB
	DVDD			85	dB
	IOVDD			105	dB
VCOM 输出电压	空载		AVDD/2		V

(1) FSR = 全幅度范围 = $2V_{\text{REF}}$

(2) 对于高速模式最大值 $f_{\text{clk}} = 37\text{MHz}$, 其它模式最大值为 27MHz

(3) SPS=每秒采样率。

(4) 最佳拟合算法。

ADSD1274/1278 4/8通道同步采样, 低噪声24位模数转换器

电气特性 (续)

所有特性在 $T_A = -40^{\circ}\text{C}$ 至 $+105^{\circ}\text{C}$, $AVDD = +5\text{V}$, $DVDD = +1.8\text{V}$, $IOVDD = +3.3\text{V}$, $f_{\text{clk}} = 27\text{MHz}$, $V_{\text{REFP}} = 2.5\text{V}$, $V_{\text{REFN}} = 0\text{V}$, 并且所有通道活跃, 除非另有说明。

参数		测试条件	ADSD1274, ADS1278			单位
			MIN	TYP	MAX	
交流特性						
		$f = 1\text{kHz}$, $-0.5\text{dBFS}^{(5)}$		-107		dB
信噪比(SNR) ⁽⁶⁾	高速模式		101	106		dB
	高分辨率模式	$V_{\text{REF}} = 2.5\text{V}$	103	110		dB
		$V_{\text{REF}} = 3\text{V}$		111		dB
	低功耗模式		101	106		dB
低速模式		101	107		dB	
总谐波失真(THD) ⁽⁷⁾		$V_{\text{IN}} = 1\text{kHz}$, -0.5dBFS		-108	-96	dB
无杂散动态范围				109		dB
通带波纹					± 0.005	dB
通带				$0.453f_{\text{DATA}}$		Hz
-3dB 带宽				$0.49f_{\text{DATA}}$		Hz
带外衰减	高分辨率模式		95			dB
	其它模式		100			
截止频率	高分辨率模式		$0.547 f_{\text{DATA}}$		$127.453 f_{\text{DATA}}$	Hz
	其它模式		$0.547 f_{\text{DATA}}$		$63.453 f_{\text{DATA}}$	Hz
群延时	高分辨率模式			$39/ f_{\text{DATA}}$		s
	其它模式			$38/ f_{\text{DATA}}$		s
建立时间 (滞后时间)	高分辨率模式	建立完成		$78/ f_{\text{DATA}}$		s
	其它模式	建立完成		$76/ f_{\text{DATA}}$		s
参考输入						
负参考输入 (VREFN)			AGND - 0.1		AGND + 0.1	V
参考输入电压 (VREF) ⁽⁸⁾ ($V_{\text{REF}} = V_{\text{REFP}} - V_{\text{REFN}}$)		$0.1 \leq f_{\text{CLK}} \leq 27\text{MHz}$	0.5	2.5	3.1	V
		$27 < f_{\text{CLK}} \leq 32.768\text{MHz}$	0.5	2.5	2.6	V
		$32.768\text{MHz} < f_{\text{CLK}} \leq 37\text{MHz}$	0.5	2.048	2.1	V
ADSD1274 参考输入阻抗	高速模式			1.3		k Ω
	高分辨率模式			1.3		k Ω
	低功耗模式			2.6		k Ω
	低速模式			13		k Ω
ADSD1278 参考输入阻抗	高速模式			0.65		k Ω
	高分辨率模式			0.65		k Ω
	低功耗模式			1.3		k Ω
	低速模式			6.5		k Ω
数字输入/输出 ($IOVDD = 1.8\text{V}$ to 3.6V)						
V_{IH}			$0.7 IOVDD$		$IOVDD$	V
V_{IL}			DGND		$0.3 IOVDD$	V
V_{OH}		$I_{\text{OH}} = 4\text{mA}$	$0.8 IOVDD$		$IOVDD$	V
V_{OL}		$I_{\text{OL}} = 4\text{mA}$	DGND		$0.2 IOVDD$	V
数字端口输入端漏电流		$0 < V_{\text{IN DIGITAL}} < IOVDD$			± 10	μA
主时钟速率(f_{CLK})		高速模式 ⁽⁸⁾	0.1		37	MHz
		其他模式	0.1		27	MHz

(5) 一个或多个信道之间的最坏情况信道串扰。

(6) 最小信噪比由DC噪声特性的限制保证。

(7) THD包括输入信号的前9个谐波; 低速模式包括前5个谐波。

(8) f_{CLK} 对于高速模式为最大37MHz, 而对于所有其它模式为最大27MHz。

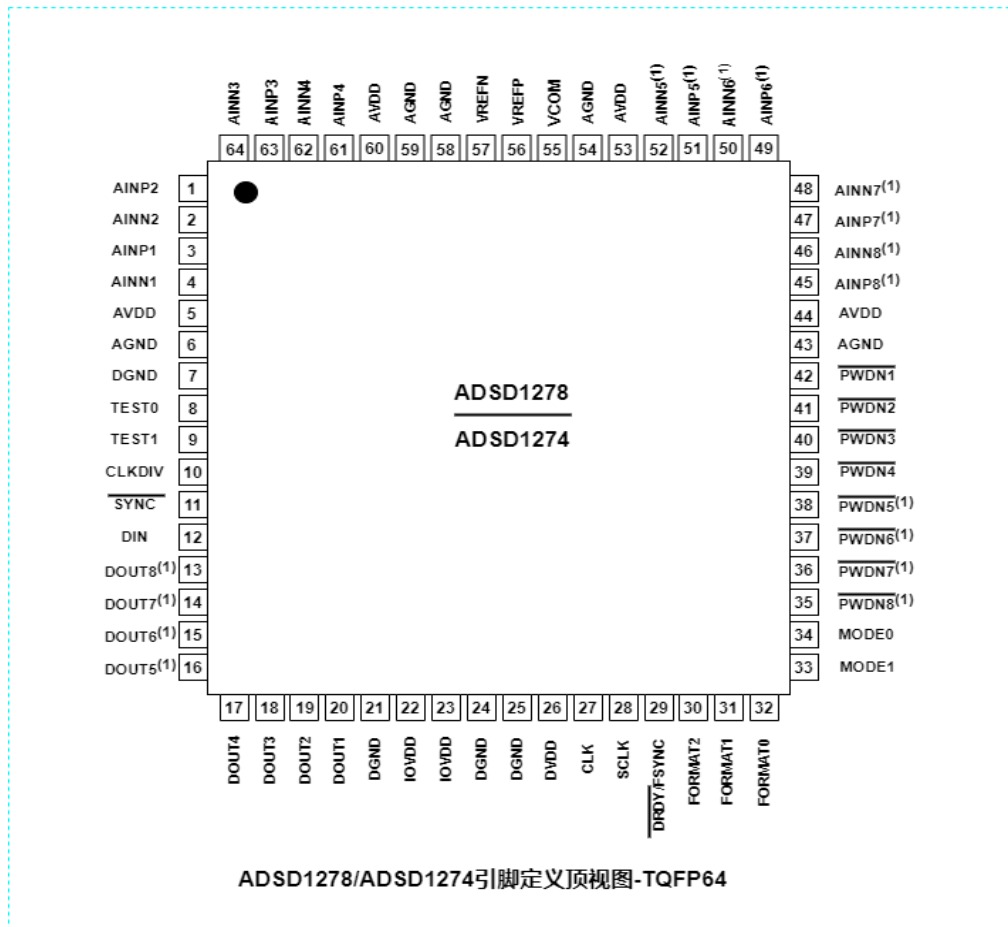
ADSD1274/1278 4/8通道同步采样, 低噪声24位模数转换器

电气特性 (续)

除非另有说明, 所有特性在TA=-40°C至+105°C, AVDD=+5V, DVDD=+1.8V, IOVDD=+3.3V, fclk=27MHz, VREFP=2.5V, VREFN=OV, 并且所有通道开启。

参数		测试条件	ADSD1274, ADSD1278			单位
			MIN	TYP	MAX	
供电电源						
AVDD			4.75	5	5.25	V
DVDD ⁽⁹⁾		0.1 ≤ f _{CLK} ≤ 32.768MHz	1.65	1.8	1.95	V
		32.768MHz < f _{CLK} ≤ 37MHz	2.0	2.1	2.2	V
IOVDD			1.65		3.6	V
关闭电流	AVDD			1	10	μA
	DVDD			1	15	μA
	IOVDD			1	10	μA
ADSD1274						
ADSD1274 AVDD 电流	高速模式			50	75	mA
	高分辨率模式			50	75	mA
	低功耗模式			23	35	mA
	低速模式			5	9	mA
ADSD1274 DVDD 电流	高速模式			18	24	mA
	高分辨率模式			12	17	mA
	低功耗模式			10	15	mA
	低速模式			2.5	4.5	mA
ADSD1274 IOVDD 电流	高速模式			0.15	0.5	mA
	高分辨率模式			0.075	0.3	mA
	低功耗模式			0.075	0.3	mA
	低速模式			0.02	0.15	mA
ADSD1274 功耗	高速模式			285	420	mW
	高分辨率模式			275	410	mW
	低功耗模式			135	210	mW
	低速模式			30	55	mW
ADSD1278						
ADSD1278 AVDD 电流	高速模式			97	145	mA
	高分辨率模式			97	145	mA
	低功耗模式			44	64	mA
	低速模式			9	14	mA
ADSD1278 DVDD 电流	高速模式			23	30	mA
	高分辨率模式			16	20	mA
	低功耗模式			12	17	mA
	低速模式			2.5	4.5	mA
ADSD1278 IOVDD 电流	高速模式			0.25	1	mA
	高分辨率模式			0.125	0.5	mA
	低功耗模式			0.125	0.5	mA
	低速模式			0.035	0.2	mA
ADSD1278 功耗	高速模式			530	785	mW
	高分辨率模式			515	765	mW
	低功耗模式			245	355	mW
	低速模式			50	80	mW

(9) 对于高速模式最大值 f_{CLK} < = 37MHz, 其它模式最大值为27MHz。

ADSD1274/1278 4/8通道同步采样, 低噪声24位模数转换器

ADSD1274/ADSD1278 管脚定义

管脚		功能	描述
名称	编号		
AGND	6, 43, 54, 58, 59	模拟接地	模拟接地; 使用单个平面连接到DGND
AINP1	3	模拟输入	ADSD1278: AINP[B:1]模拟输入正端, 通道1至8. ADSD1274: AINP[B:5]连接到内部ESD导体, 必须浮空。 AINP[4:1]模拟输入负端, 通道1至4。
AINP2	1	模拟输入	
AINP3	63	模拟输入	
AINP4	61	模拟输入	
AINP5	51	模拟输入	
AINP6	49	模拟输入	
AINP7	47	模拟输入	
AINP8	45	模拟输入	
AINN1	4	模拟输入	ADSD1278: AINP[B:1]模拟输入负端, 通道1至8 ADSD1274: AINP[8:5]连接到内部ESD导体, 必须浮空。 AINP[4:1]模拟输入负端, 通道1至4。
AINN2	2	模拟输入	
AINN3	64	模拟输入	
AINN4	62	模拟输入	
AINN5	52	模拟输入	
AINN6	50	模拟输入	
AINN7	48	模拟输入	
AINN8	46	模拟输入	

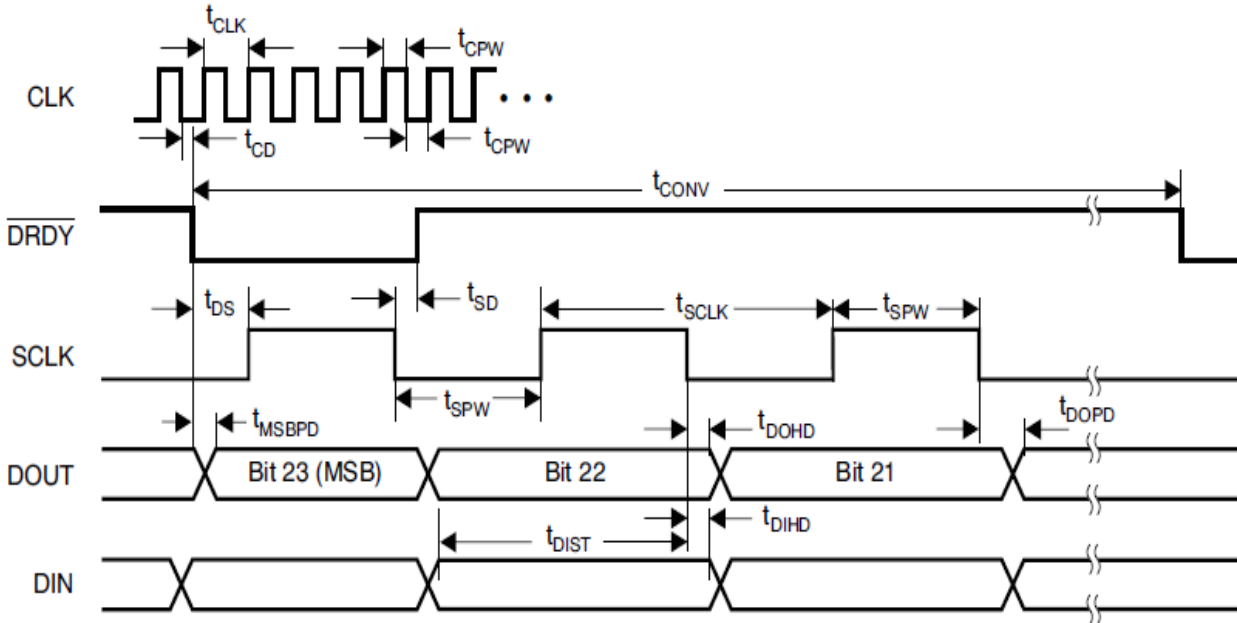
ADSD1274/1278 4/8通道同步采样, 低噪声24位模数转换器

ADSD1274/ADSD1278 管脚定义 (续)

AVDD	5, 44, 53, 60	模拟电源	模拟电源(4.75V 至 5.25V)
VCOM	55	模拟输出	AVDD/2无缓冲电压输出
VREFN	57	模拟输入	参考电源输入负端
VREFP	56	模拟输入	参考电源输入正端
CLK	27	数字输入	主时钟输入 (fCLK)
CLKDIV	10	数字输入	CLK输入驱动控制: 1=37MHz (高速模式)/其它 27MHz 0=13.5MHz (低功耗)/5.4MHz (低速)
DGND	7, 21, 24, 25	数字接地	数字接地电源
DIN	12	数字输入	菊花链数字输入
DOUT1	20	数字输出	DOUT1是TDM数据输出 (TDM模式) ADSD1278:DOUT[8:1]通道8至1的数据输出 ADSD1274:DOUT[8:5]内部连接到有源电路 DOUT[4:1]通道4到1的数据输出
DOUT2	19	数字输出	
DOUT3	18	数字输出	
DOUT4	17	数字输出	
DOUT5	16	数字输出	
DOUT6	15	数字输出	
DOUT7	14	数字输出	
DOUT8	13	数字输出	
DRDY/FSYNC	29	数字输入 / 输出	帧同步协议: 帧时钟输入; SPI协议: 数据就绪输出
DVDD	26	数字电源	数字核心电源
FORMAT0	32	数字输入	FORMAT[2:0]选择帧同步/SPI协议、TDM/离散数据输出、固定/动态位置TDM 数据和调制器模式/正常操作模式。
FORMAT1	31	数字输入	
FORMAT2	30	数字输入	
IOVDD	22, 23	数字电源	I/O电源(+1.65V 至 +3.6V)
MODE0	34	数字输入	MODE[1:0]选择高速, 高分辨率, 低功耗或低速操作模式
MODE1	33	数字输入	
PWDN1	42	数字输入	ADS1278:PWDN[8:1]通道1至8的断电控制。 ADSD1274:PWDN[8:5]必须为0V, PWDN[4:1]通道1至4断电控制。
PWDN2	41	数字输入	
PWDN3	40	数字输入	
PWDN4	39	数字输入	
PWDN5	38	数字输入	
PWDN6	37	数字输入	
PWDN7	36	数字输入	
PWDN8	35	数字输入	
SCLK	28	数字输入 / 输出	串行时钟输入, 调制器时钟输出
SYNC	11	数字输入	同步信号输入 (所有通道)。
TEST0	8	数字输入	TEST[1:0]测试模式选择: 00=正常操作 01=不使用 11=测试模式 10=不使用
TEST1	9	数字输入	

ADSD1274/1278 4/8通道同步采样, 低噪声24位模数转换器

SPI时序



$T_A = -40^{\circ}\text{C}$ 至 $+105^{\circ}\text{C}$, $\text{IOVDD} = 1.65\text{V}$ 至 3.6V , 和 $\text{DVDD} = 1.65\text{V}$ 至 1.95V , 除非另有说明。

符号	参数	MIN	TYP	MAX	单位
t_{CLK}	CLK 周期 ($1/f_{CLK}$) ⁽¹⁾	37		10,000	ns
t_{CPW}	CLK 脉冲宽度	15			ns
t_{CONV}	转换周期 ($1/f_{DATA}$) ⁽²⁾	256		2560	t_{CLK}
t_{CD} ⁽³⁾	CLK到DRDY下降沿时间		22		ns
t_{DS} ⁽³⁾	DRDY下降沿到SCLK上升沿检索数据时间	1			t_{CLK}
t_{MSBPD}	DRDY下降沿到DOUT MSB有效时间 (传播延时)			16	ns
t_{SD} ⁽³⁾	SCLK下降沿到DRDY上升沿时间		18		ns
t_{SCLK} ⁽⁴⁾	SCLK周期	1			t_{CLK}
t_{SPW}	SCLK脉冲宽度	0.4			t_{CLK}
t_{DOHD} ⁽³⁾⁽⁵⁾	SCLK下降沿到新DOUT无效 (维持时间)	10			ns
t_{DOPD} ⁽³⁾	SCLK下降沿到新DOUT有效 (传播延时)			32	ns
				26	ns ⁽⁴⁾
t_{DIST}	新DIN对SCLK的下降沿有效 (建立时间)	6			ns
t_{DIHD} ⁽⁵⁾	旧DIN对SCLK的下降沿有效 (维持时间)	6			ns

(1) $f_{CLK} = 27\text{MHz}$ 最大值。

(2) 取决于MODE[1:0]和CLKDIV选项。

(3) DRDY和DOUT的负载 = 20pF

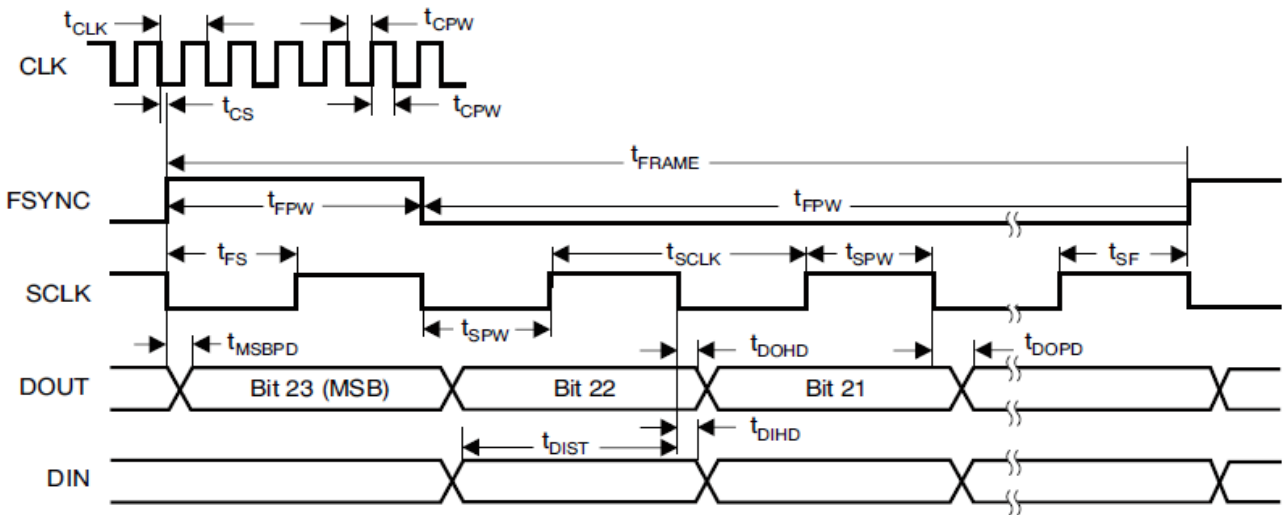
(4) 为了最佳性能, f_{SCLK}/f_{CLK} 比例限定为1, 1/2, 1/4, 1/8, 等等。

(5) t_{DOHD} (DOUT维持时间)和 t_{DIHD} (DIN维持时间)是根据最坏情况得出(数字供电电压和环境)。在同条件下, 将DOUT直接接到DIN, 时间边沿 $>4\text{ns}$ 。

(6) DOUT1, TDM模式, $\text{IOVDD} = 3.15\text{V}$ 至 3.45V , 而 $\text{DVDD} = 1.7\text{V}$ 至 1.9V 。

ADSD1274/1278 4/8通道同步采样, 低噪声24位模数转换器

帧同步格式时序



$T_A = -40^{\circ}\text{C}$ 至 $+105^{\circ}\text{C}$, $\text{IOVDD} = 1.65\text{V}$ 至 3.6V , 和 $\text{DVDD} = 1.65\text{V}$ 至 2.2V , 除非另有说明。

符号	参数	MIN	TYP	MAX	单位
t_{CLK}	CLK周期($1/f_{\text{CLK}}$)	高速模式	27		ns
		其他模式	37		ns
t_{CPW}	CLK 脉冲宽度	11			ns
t_{CS}	CLK下降沿到SCLK下降沿时间	-0.25		0.25	t_{CLK}
t_{FRAME}	帧周期 ($1/f_{\text{DATA}}$) ⁽¹⁾	256		2560	t_{CLK}
t_{FPW}	FSYNC 脉冲宽度	1			t_{SCLK}
t_{FS}	FSYNC上升沿到SCLK上升沿时间	5			ns
t_{SF}	SCLK上升沿到FSYNC上升沿时间	5			ns
t_{SCLK}	SCLK 周期 ⁽²⁾	1			t_{CLK}
t_{SPW}	SCLK 脉冲宽度	0.4			t_{CLK}
$t_{\text{DOHD}}^{(3)(4)}$	SCLK下降沿到上一DOUT失效时间 (维持时间)	10			ns
$t_{\text{DOPD}}^{(4)}$	SCLK下降沿到下一DOUT有效时间 (传播延时)			31	ns
				21	ns ⁽⁵⁾
				25	ns ⁽⁶⁾
t_{MSBD}	FSYNC上升沿到DOUT MSB有效时间 (传播延时)			31	ns
				21	ns ⁽⁵⁾
				25	ns ⁽⁶⁾
t_{DIST}	新DIN对SCLK的下降沿有效 (建立时间)	6			ns
$t_{\text{DIHD}}^{(3)}$	旧DIN对SCLK的下降沿有效 (维持时间)	6			ns

(1) 取决于MODE[1:0]和CLKDIV选项。

(2) SCLK必须连续运行并且与 f_{CU} 之比限定为1, 1/2, 1/4, 和1/8。

(3) t_{DOHD} (DOUT维持时间)和 t_{DIHD} (DIN维持时间)是根据最坏情况得出(数字供电电压和环境)。在同等条件下, 将DOUT直接接到DIN, 时间边沿 $>4\text{ns}$ 。

(4) DOUT上的负载=20pF。

(5) DOUT1, TDM模式, $\text{IOVDD} = 3.15\text{V}$ 至 3.45V , 而 $\text{DVDD} = 2\text{V}$ 至 2.2V 。

(6) DOUT1, TDM模式, $\text{IOVDD} = 3.15\text{V}$ 至 3.45V , 而 $\text{DVDD} = 1.7\text{V}$ 至 1.9V 。

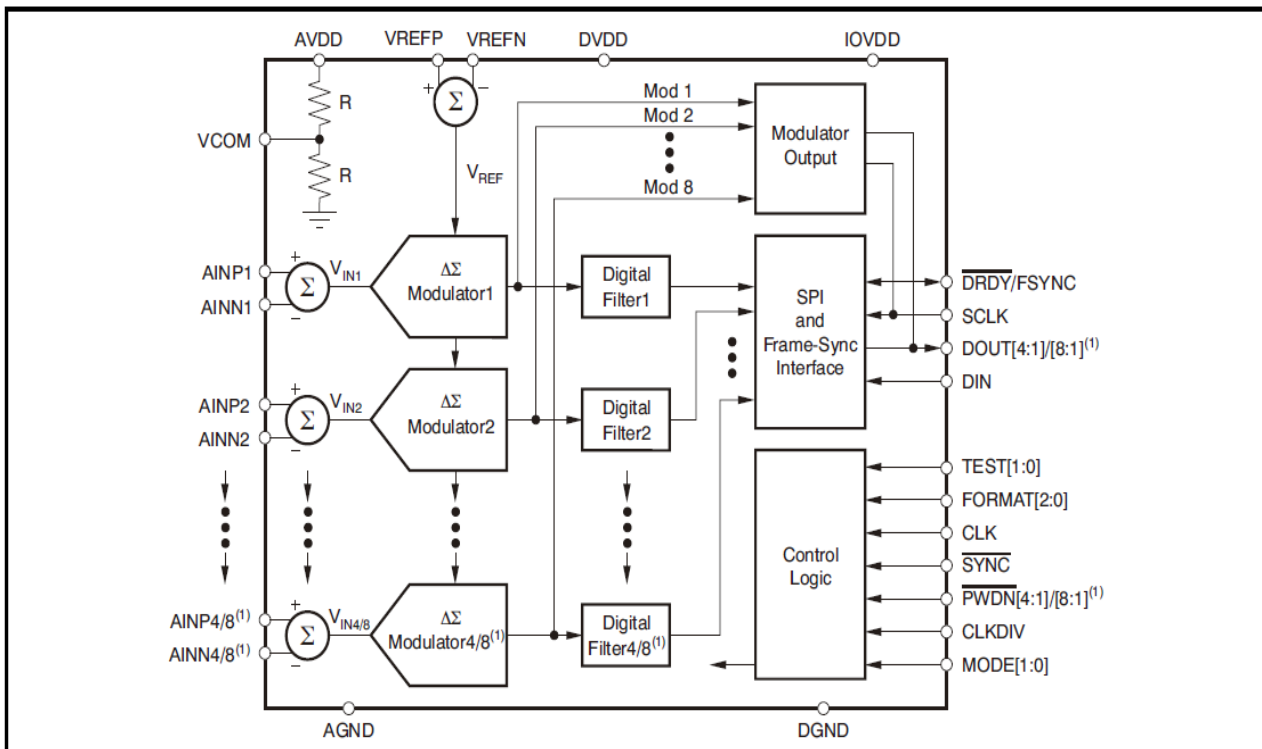
ADSD1274/1278 4/8通道同步采样, 低噪声24位模数转换器

概述

ADSD1274(四通道)和ADSD1278(八通道)是基于 Δ - Σ 结构的24位ADC。它们提供了卓越的直流和交流性能的结合。下图显示了芯片的方框图。请注意,除了ADSD1274有四个ADC和ADSD1278有八个ADC之外,这两个设备在功能上是相同的。封装是相同的,ADSD1274引脚与ADSD1278兼容,允许硬件兼容。转换器由四个(ADSD1274)或八个(ADSD1278)六阶的(Δ - Σ)和低纹波线性相位FIR滤波器组成。调制器测量差分输入信号 $V_{IN}=(AINP-AINN)$ 和差分参考值 $V_{REF}=(VREFP-VREFN)$ 。数字滤波器接收调制器信号并提供低噪声数字输出。为了在速度、分辨率和功率之间进行权衡,支持四种操作模式:高速、高分辨率、低功耗和低速。下表总结了每种模式的性能。在高速模式下,最大数据速率为144kSPS。在高分辨率模式下, $SNR=111dB(V_{REF}=3.0V)$;在低功耗模式下,功耗仅为31mW/通道;在低速模式下,10.5kSPS下的功耗仅为7mW/通道。用户还可以绕过数字滤波器,直接访问调制器输出。

ADSD1274/78是通过简单设置适当的I/O引脚来配置的,不需寄存器编程。可支持SPI和帧同步格式的串口检索数据。ADSD1274/78具有菊花链输出和外部同步能力,因此可以方便地用于需要八个以上通道的系统。

ADSD1274/ ADSD1278方框图 (引用)



(1) ADS1274有四个通道; ADS1278有八个通道。

表2.操作模式特性总结

模式	最大数据速率(SPS)	带宽 (kHz)	SNR (dB)	噪声(μV_{RMS})	功耗/通道 (mW)
高速模式	144,531	65,472	106	8.5	70 ⁽¹⁾
高分辨率模式	52,734	23,889	110	5.5	64
低功耗模式	52,734	23,889	106	8.5	31
低速模式	10,547	4,798	107	8.0	7

(1) 规定为105kSPS。

ADSD1274/1278 4/8通道同步采样, 低噪声24位模数转换器

功能描述

ADSD1274/78是一种(Δ - Σ)ADC, 由四/八个独立的转换器组成, 这些转换器并行采集输入信号。转换器由两个主要功能块组成, 用于执行ADC转换: 调制器和数字滤波器。调制器对输入信号进行采样, 同时对参考电压进行采样, 以产生数字信号输出。数字码翻转的密度与相对于参考电压的模拟输入电平成比例。脉冲流由内部数字滤波器进行滤波, 其中产生输出转换结果。在操作中, 调制器以高速率(通常比最终输出数据速率高64x)对输入信号进行采样。调制器的量化噪声被移到更高的频率范围, 内部数字滤波器会将其去除。过采样会导致信号通带内的噪声水平非常低。由于输入信号是以非常高的速率采样的, 所以直到输入信号频率处于调制器采样速率时才发生输入信号混叠。由于调制器采样率高, 这种结构大大放宽了对外部抗混叠滤波器的要求。

采样孔径匹配

ADSD1274/78转换器从相同的CLK输入操作。CLK输入控制调制器采样瞬间的定时。转换器被设计为控制通道之间的采样偏斜或调制器采样孔径匹配。此外, 数字滤波器被同步以在相同的调制器时钟周期开始卷积阶段。这种设计使得ADSD1274/78信道之间具有良好的相位匹配。一个4通道ADSD1274的相位匹配与另一个ADSD1274(总共八个或更多通道)的相位匹配可能不具有相同程度的采样匹配。由于制造中的差异, 其结果是内部时钟信号耦合的差异与外部CLK信号与每一芯片的差异的不同, 可能引起较大的采样匹配误差。相同长度的CLK跟踪或外部时钟分配芯片可用作减少芯片间的采样匹配误差。

频率响应

数字滤波器建立起整体的频率响应。滤波器采用多级FIR拓扑提供最小的通带纹波和较高的截止频率衰减的线性相位。数字滤波器的过采样率(也就是调制器采样与输出数据速率之比, 或 f_{MOD}/f_{DATA})为可选模式功能。

表3. 过采样率比较

模式	过采样率(f_{MOD}/f_{DATA})
高速	64
高分辨率	128
低功耗	64
低速	64

表4. 高速模式 f_{CLK} 的情况

f_{CLK} (MHz)	V_{REF} (V)	DVDD (V)	接口
$0.1 \leq f_{CLK} \leq 27$	0.5 至 3.1	1.65 至 1.95	帧同步或SPI
$27 < f_{CLK} \leq 32.768$	0.5 至 2.6	1.65 至 1.95	帧同步
$32.768 < f_{CLK} \leq 37$	0.5 至 2.1	2.0 至 2.2	帧同步

时钟输入(CLK)

ADSD1274/78操作需要一个时钟输入。ADSD1274/78的每个转换器均操作于相同的时钟输入。对于最大数据速率, 在低功耗模式时钟输入是27MHz或13.5MHz, 而在低速模式是27MHz或5.4MHz, 这取决于CLKDIV输入的设置。对于高速模式, 最大的CLK输入频率为37MHz。对于高分辨率模式, 最大的CLK输入频率为27MHz。高速模式下的操作情况受到时钟输入频率的限制。

外部时钟频率(f_{CLK})的选择并不影响ADSD1274/78的分辨率。使用低的 f_{CLK} 可减少外部时钟缓冲的功耗。输出数据的速率比例到时钟频率, 最低时钟频率可以是 $f_{CLK} = 100\text{kHz}$ 。下表总结了时钟频率(f_{CLK})与数据速率(f_{DATA})的比例、最大数据速率和相应的最大时钟输入在四种操作模式的情况。对于任何高速数据转换器, 高质量、低抖动时的时钟可确保最佳性能。保证时钟输入不过载运行、保持时钟跟踪尽可能短, 并且使用50 Ω 的串联电阻靠近源端, 通常能提高整体系统的性能。

表5. 时钟输入选项

模式选择	MAX f_{CLK} (MHz)	CLKDIV	f_{CLK}/f_{DATA}	数据速率(SPS)
高速	37	1	256	144,531
高分辨率	27	1	512	52,734
低功耗	27	1	512	52,734
	13.5	0	256	
低速	27	1	2,560	10,547
	5.4	0	512	

模式选择 (MODE)

ADSD1274/78支持四种操作模式: 高速、高分辨率、低功耗和低速模式。这些模式提供了速度、分辨率和功耗的优化模式由数字输入管脚MODE[1:0]的状态选择。ADSD1274/78连续监视操作时MODE管脚的状态。

表6. 模式选择

MODE[1:0]	模式选择	MAX f_{DATA} ⁽¹⁾
00	高速	144,531
01	高分辨率	52,734
10	低功耗	52,734
11	低速	10,547

(1) $f_{CLK} = 27\text{MHz}$ 最大值 (在高速模式最大值为37MHz)

ADSD1274/1278 4/8通道同步采样, 低噪声24位模数转换器

当使用SPI协议时, $\overline{\text{DRDY}}$ 管脚在模式改变发生后保持为高, 直到数据设置(或有效)完成。在帧同步协议, DOUT 管脚在模式改变发生后保持为低, 直到数据建立(或有效)完成, 见图2和表7。当 DOUT 改变为逻辑1后指示数据有效, 数据可以从芯片读取和检测。

图2. 模式选择

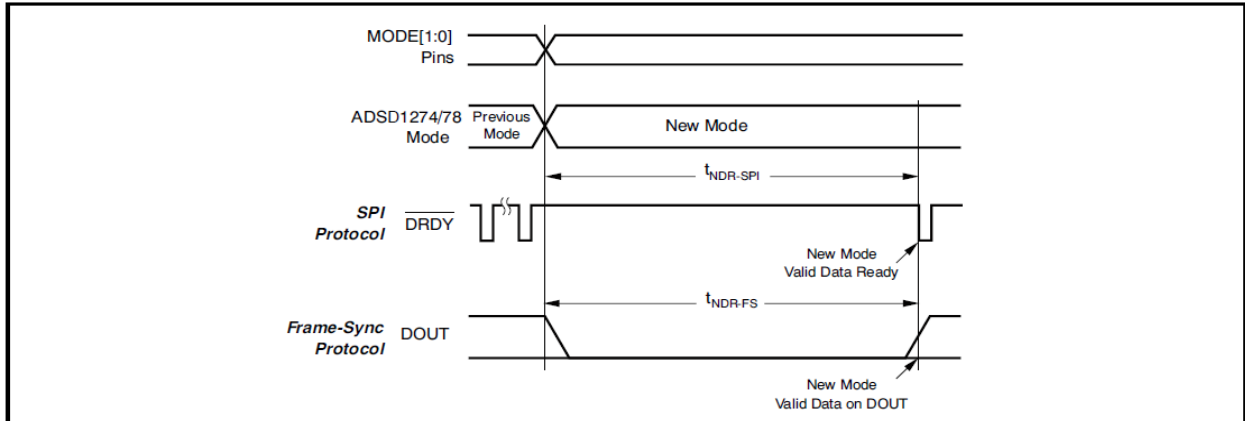


表7. 模式改变后的新数据

符号	描述	MIN	TYP	MAX	单位
$t_{\text{NDR-SPI}}$	新数据准备时间(SPI)			129	转换 ($1/f_{\text{DATA}}$)
$t_{\text{NDR-FS}}$	新数据准备时间(Frame-Sync) ⁽¹⁾	127		128	转换 ($1/f_{\text{DATA}}$)

(1) 如果模式改变与FSYNC时钟不同步, 则 $t_{\text{NDR-FS}}$ 在127到128转换之间变化。如果模式改变与FSYNC同步, 则 $t_{\text{NDR-FS}}$ 稳定

同步 (SYNC)

ADSD1274/78可以通过脉冲 $\overline{\text{SYNC}}$ 引脚为低, 然后返回引脚为高来同步。当引脚变低时, 转换过程停止, 数字滤波器使用的内部计数器被重置。当 $\overline{\text{SYNC}}$ 引脚返回高电平时, 转换过程重新开始。同步允许转换与外部事件对齐, 例如模拟输入上的外部多路复用器的变化, 或者通过参考定时脉冲。因为ADSD1274/78转换器从相同的主时钟并行操作, 并使用相同的 $\overline{\text{SYNC}}$ 输入控制, 所以它们总是相互同步。内部通道之间的孔径匹配通常小于500ps。然而, 多个设备的同步有些不同。在设备通电时, 设备之间的内部重置阈值的变化可能导致转换时序的不确定性。 $\overline{\text{SYNC}}$ 引脚可用于将多个设备同步到同一CLK周期内。图3显示了SPI格式的 $\overline{\text{SYNC}}$ 和CLK的时序要求。帧同步格式定时要求见图4。在同步之后, 有效数据的指示取决于是否使用SPI或帧同步格式。在SPI格式中, 一旦 $\overline{\text{SYNC}}$ 变低, $\overline{\text{DRDY}}$ 就变高; 见图3。 $\overline{\text{SYNC}}$ 返回高电平后, $\overline{\text{DRDY}}$ 保持高电平, 同时数字滤波器稳定。一旦有效数据准备好进行检索, $\overline{\text{DRDY}}$ 就会变低。在帧同步格式中, 一旦 $\overline{\text{SYNC}}$ 变低, DOUT 就变低; 见图4。在 $\overline{\text{SYNC}}$ 返回高电平之后, DOUT 保持低电平, 同时数字滤波器稳定。一旦有效数据准备好进行检索, DOUT 就开始输出有效数据。为了正确同步, 在将 $\overline{\text{SYNC}}$ 设置为高电平之前, 必须建立FSYNC、SCLK和CLK, 然后必须保持运行。如果时钟输入 (CLK、FSYNC或SCLK) 随后中断或复位, 则重新断言 $\overline{\text{SYNC}}$ 引脚。为了获得一致的性能, 请在数据首次出现时, 在设备通电后重新断言 $\overline{\text{SYNC}}$ 。

图3. 同步时序 (SPI协议)

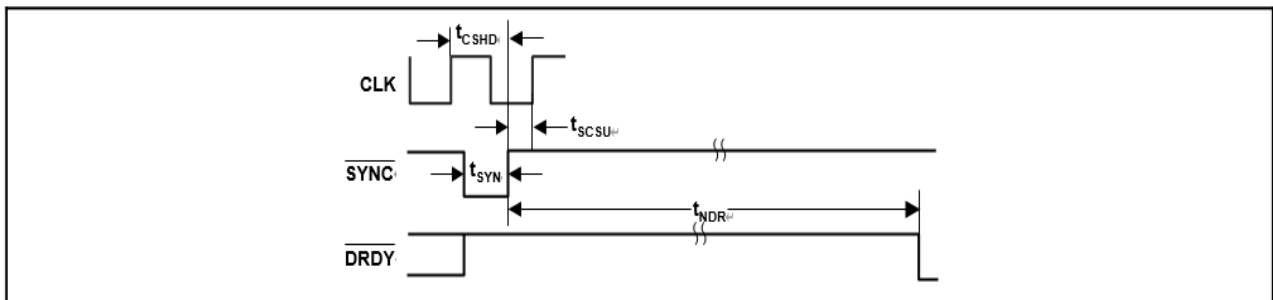
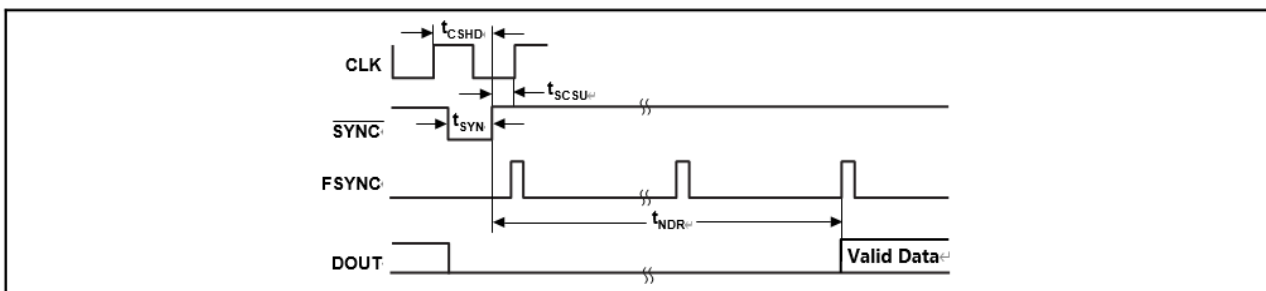


图4. 同步时序 (帧同步协议)



ADSD1274/1278 4/8通道同步采样, 低噪声24位模数转换器

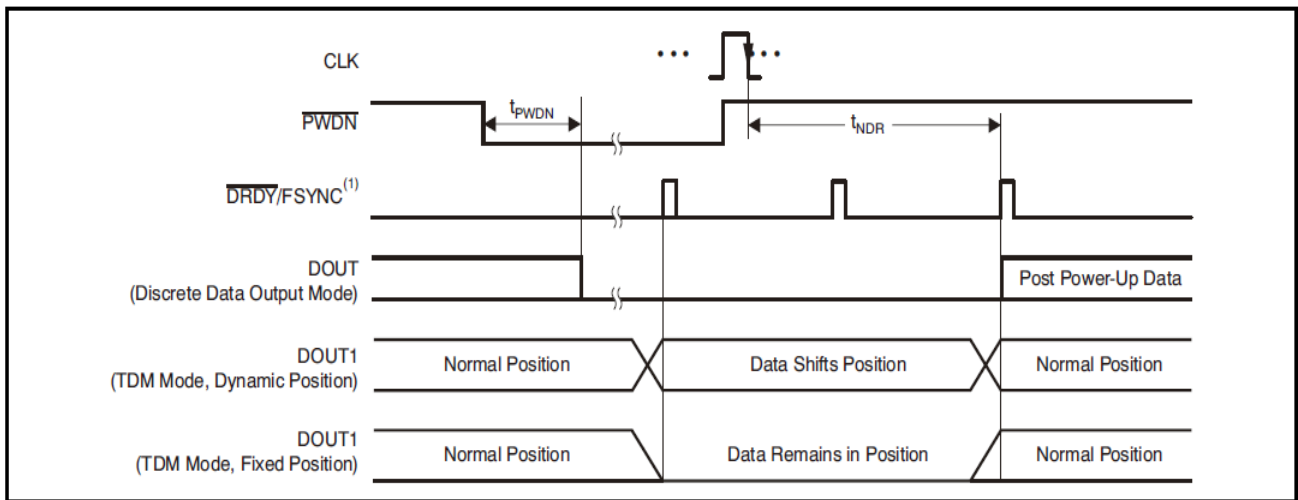
断电 (PWDN)

ADSD1274/78的通道可以通过使用PWDN输入独立断电。要进入断电模式, 请将相应的PWDN引脚保持为低电平至少两个CLK周期。要退出掉电, 请将相应的PWDN引脚返回高电平。请注意, 当所有通道断电时, ADS1274/78进入微瓦(μW)功率状态, 所有内部偏置都被禁用。在这种状态下, TEST[1:0]输入引脚必须被驱动; 所有其他输入引脚都可以浮动。ADSD1274/78输出保持驱动状态。如图5和表8所示, 在退出电源关闭后读取数据之前, SPI接口必须经过最多130个转换周期, 帧同步必须经过129个转换周期。来自已运行通道的数据不受影响。用户软件可以通过以下任何方式执行所需的延迟时间:

1. 统计PWDN引脚变高后的数据转换次数。
2. 在PWDN引脚变高之后延迟129/ f_{DATA} 或130/ f_{DATA} , 然后读取数据。
3. 检测上电通道中的非零数据

在给一个或多个通道上电之后, 这些通道彼此同步。不需要使用SYNC引脚来同步它们。当一个信道以TDM数据格式断电时, 该信道的数据要么被强制为零(固定位置TDM数据模式), 要么通过将数据从下一个信道转移到空闲的数据位置(动态位置TDM数字模式)来替换。在离散数据格式中, 数据总是被强制为零。当在动态位置TDM数据格式模式时对信道上电时, 信道数据保持打包, 直到数据准备好, 此时数据帧被扩展以包括刚刚上电的信道数据。

图5. 关闭时序



(1) 对于 SPI 协议, 此时间发生于 $\overline{\text{DRDY/FSYNC}}$ 的下降沿。关闭所有通道强制 $\overline{\text{DRDY/FSYNC}}$ 为高。

表8. 关闭时序

符号	描述	MIN	TYP	MAX	单位
t_{PWDN}	进入断电模式的PWDN脉冲宽度	2			CLK周期
t_{NDR}	新数据就绪时间(SPI)	129		130	转换 ($1/f_{\text{DATA}}$)
t_{NDR}	新数据就绪时间(Frame-Sync) ⁽¹⁾	128		129	转换 ($1/f_{\text{DATA}}$)

(1) FSYNC时钟在PWDN的上升沿之前运行。如果PWDN与FSYNC时钟异步, 则 $t_{\text{NDR-FS}}$ 在127至128之间转换。如果PWDN与FSYNC同步, 则 $t_{\text{NDR-FS}}$ 是稳定的。

ADSD1274/1278 4/8通道同步采样, 低噪声24位模数转换器

FORMAT[2:0]

可以通过两种接口协议 (SPI或帧同步) 和几种数据格式选项 (TDM/离散和固定/动态数据位置) 从ADS1274/78读取数据。FORMAT[2:0]输入用于在选项中进行选择。表9列出了可用的选项。有关DOUT模式和数据位置的详细信息, 请参阅DOUT模式部分。

表9. 数据输出格式

FORMAT [2:0]	接口协议	DOUT模式	数据
000	SPI	TOM	动态
001	SPI	TOM	固定
010	SPI	离散	
011	帧同步	TOM	动态
100	帧同步	TDM	固定
101	帧同步	离散	
110	调制器模式		

串行接口协议

ADSD1274/78使用串行接口检索数据。提供两种有效协议: SPI和帧同步。两个接口都使用相同的管脚: SCLK、 $\overline{\text{DRDY}}$ /FSYNC、DOUT[4:1] (DOUT[8:1]用于ADSD1278), 和DIN。FORMAT[2:0]管脚选择需要的协议。

SPI 串行接口

SPI兼容格式为只读接口。数据检索被标志于 $\overline{\text{DRDY}}$ 输出的下降沿并在SCLK的下降沿移出, MSB在先。当用作多机模式时, 此接口可使用菊花链DIN输入。

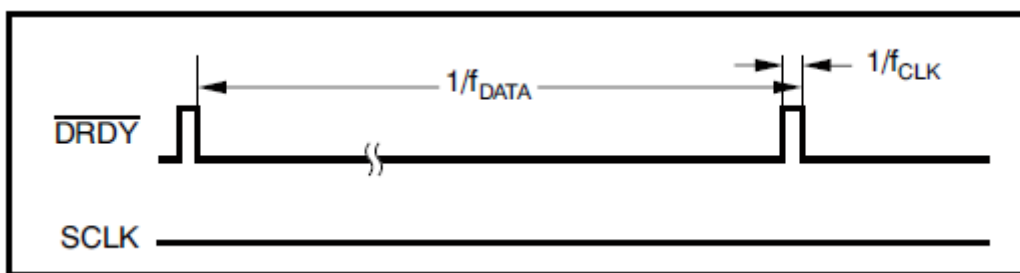
注意: SPI格式的CLK输入的上限频率为27MHz。当CLK输入操作超过27MHz(仅高速模式), 使用帧同步格式。

SCLK

串行时钟(SCLK)为斯密特输入并且在DOUT的下降沿移出数据。当DIN管脚用于菊花链时也在DIN的下降沿移进数据。芯片在下降沿移出数据并且通常在上升沿移进数据。假如SCLK输入存在滞后, 推荐保持SCLK尽可能地干净以防止意外地移位数据。SCLK可以运行得与CLK频率一样快。在转换期间, SCLK可以自由运行或停止操作。注意在 $\overline{\text{DRDY}}$ 下降沿到SCLK的下一上升沿的时间要求为 f_{CLK} 。为了获得最佳性能, $f_{\text{SCLK}}/f_{\text{CLK}}$ 比值限定为1, 1/2, 1/4, 1/8等等。当芯片配置为调制器输出时, SCLK成为调制器时钟输出。

 $\overline{\text{DYDR}}/\text{FSYNC}$ (SPI格式)

在SPI格式, 此管脚为 $\overline{\text{DRDY}}$ 输出。在数据就绪时为低而在后续第一个SCLK时钟的下降沿返回高电平。假如数据不能被检索 (如SCLK持续为低) $\overline{\text{DRDY}}$ 在下一个转换数据就绪前为正脉冲, 如图6所示。新的数据在 $\overline{\text{DRDY}}$ 变低前的一个CLK周期被加载。所有数据必须在被覆盖前移出。

图6. 无回读的 $\overline{\text{DRDY}}$ 时序

DOUT

转换数据在DOUT[4:1]/[8:1]输出。在 $\overline{\text{DRDY}}$ 变低时MSB数据在DOUT[4:1]/[8:1]上有效。后续数据位在SCLK的每一下降沿被移出。假如为菊花链, 数据移入通过DIN并在显示于DOUT上的所有通道移出之后实现。当芯片配置为调制器输出时, DOUT[4:1]/[8:1]成为调制器的数据输出。

DIN

当多个ADSD1274/78要菊花链连接在一起时, 使用此输入。第一个设备的DOUT1引脚连接到下一个设备的DIN引脚, 等等。它可以与SPI或帧同步格式一起使用。数据在SCLK的下降沿被移入。当仅使用一个ADSD1274/78时, 请将DIN连接至低位。

帧同步串行接口

帧同步格式与经常用于音频模数转换器之类的接口。它以从属方式工作——用户必须支持帧信号FSYNC(类似于立体音频模数转换器的左/右时钟)与串行时钟SCLK(类似于音频模数转换器的位时钟)。数据首先输出MSB或在FSYNC的上升沿上左对齐。当使用帧同步格式时, FSYNC和SCLK输入必须以帧同步定时要求中所示的关系连续运行。

ADSD1274/1278 4/8通道同步采样, 低噪声24位模数转换器

SCLK

串行时钟 (SCLK) 具有施密特触发输入, 并在下降沿移出 DOUT 上的数据。当该引脚用于菊花链时, 它也会在 DIN 的下降沿上移动数据。尽管 SCLK 有滞后现象, 但建议保持 SCLK 尽可能干净, 以防止意外移动数据时出现故障。使用帧同步格式时, SCLK 必须连续运行。如果它被关闭, 数据读回将被破坏。帧周期 (FSYNC 时钟) 内的 SCLK 的数量可以是 CLK 周期的任何二次幂比 (1、1/2、1/4 等), 只要周期的数量足以在一帧内移位从所有通道输出的数据即可。当设备配置为调制器输出时, SCLK 变为调制器时钟输出。

DRDY/FSYNC(帧同步格式)

在帧同步格式中, 此引脚用作 FSYNC 输入。帧同步输入 (FSYNC) 设置帧周期, 该周期必须与数据速率相同。每个 FSYNC 周期所需的 f_{CLK} 周期数取决于模式选择和 CLKDIV 输入。表 5 指示到每一帧的 CLK 周期的数目 (f_{CLK}/f_{DATA})。如果 FSYNC 周期不是正确的值, 则数据读回将被破坏。

DOUT

转换数据在 DOUT[4:1]/[8:1] 上移位。FSYNC 变高后, MSB 数据在 DOUT[4:1]/[8:1] 上变为有效。随后的位随着 SCLK 的每个下降沿而移出。如果菊花链, 在所有通道数据移出后, 使用 DIN 移入的数据显示在 DOUT[4:1]/[8:1] 上。当设备配置为调制器输出时, DOUT 变为调制器数据输出。

DIN

当多个 ADSD1274/78 要菊花链连接在一起时, 使用此输入。它可以与 SPI 或帧同步格式一起使用。数据在 SCLK 的下降沿被移入。当仅使用一个 ADSD1274/78 时, 请将 DIN 连接至低位。

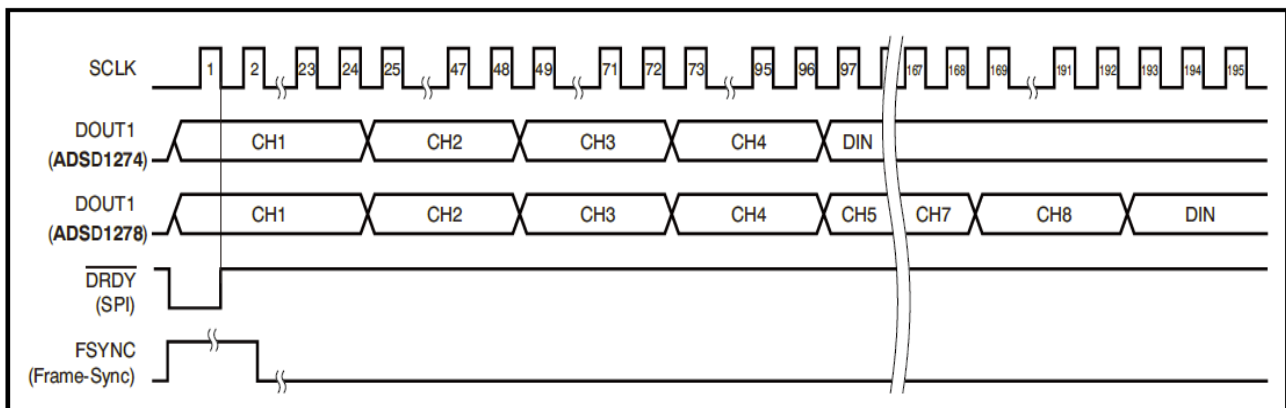
DOUT 模式

对于 SPI 和帧同步接口协议, 数据以并行数据格式 (离散模式) 通过单个通道 DOUT 引脚移出, 或者以串行格式通过公共引脚 DOUT1 (TDM 模式) 移出所有通道的数据。

TDM 模式

在 TDM (时分复用) 数据输出模式中, 所有信道的数据在单个引脚 (DOUT1) 上按顺序移出。如图 7 所示, 通道 1 的数据首先移出, 然后是通道 2 的数据等。最后一个通道的数据移出后, DIN 输入的数据紧随其后。DIN 用于菊花链连接附加 ADSD1274/78 或其他兼容设备的数据输出。请注意, 当 ADSD1274/78 的所有通道都被禁用时, 接口也被禁用, 从而使 DIN 输入也被禁用。当设备的一个或多个信道断电时, TDM 模式的数据格式可以是固定的或动态的。

图 7. TDM 模式 (所有通道使能)

**TDM 模式, 固定位置数据**

在 TOM 这种数据输出模式, 不管通道是否关闭, 通道数据位置固定。假如某个通道关闭, 数据强制为零但是在数据流中占据相同位置。图 8 说明通道 1 和通道 3 关闭时的数据流。

数据 TOM 模式, 动态位置数据

在这种 TDM 数据输出模式, 当某通道关闭时, 从较高的通道移出一个数据流位置以填充空出的数据槽。图 9 说明当通道 1 和通道 3 关闭时的数据流。

离散数据输出模式

在离散数据输出模式, 通道数据使用单独的数据输出管脚 DOUT[4:1]/[8:1] 并行移出。在 24 个 SCLK 之后, 通道数据强制为零。对于关闭的通道数据也强制为零。图 10 说明离散数据输出格式。

ADSD1274/1278 4/8通道同步采样, 低噪声24位模数转换器

图7. TDM模式, 固定位置数据 (信道1和3关闭)

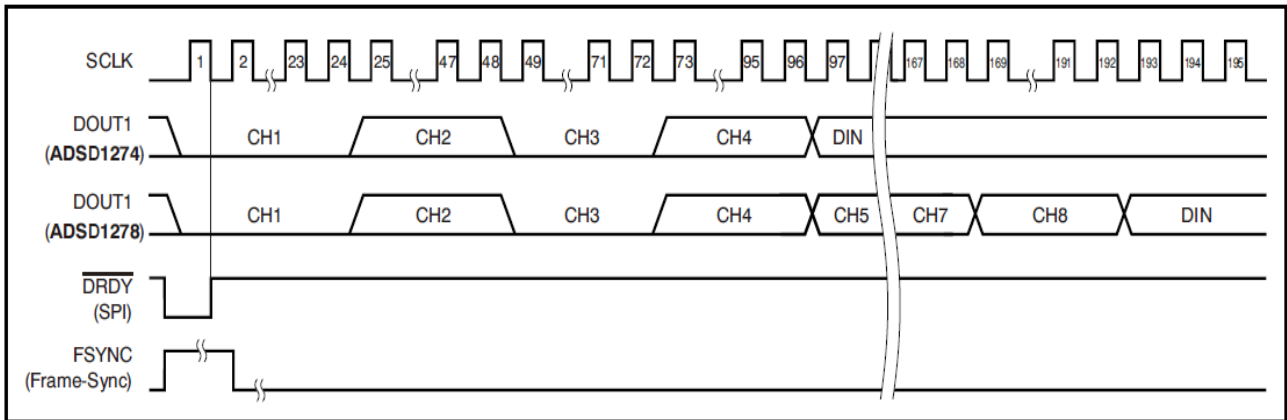


图9. TDM模式, 动态位置数据 (通道1和通道3关闭)

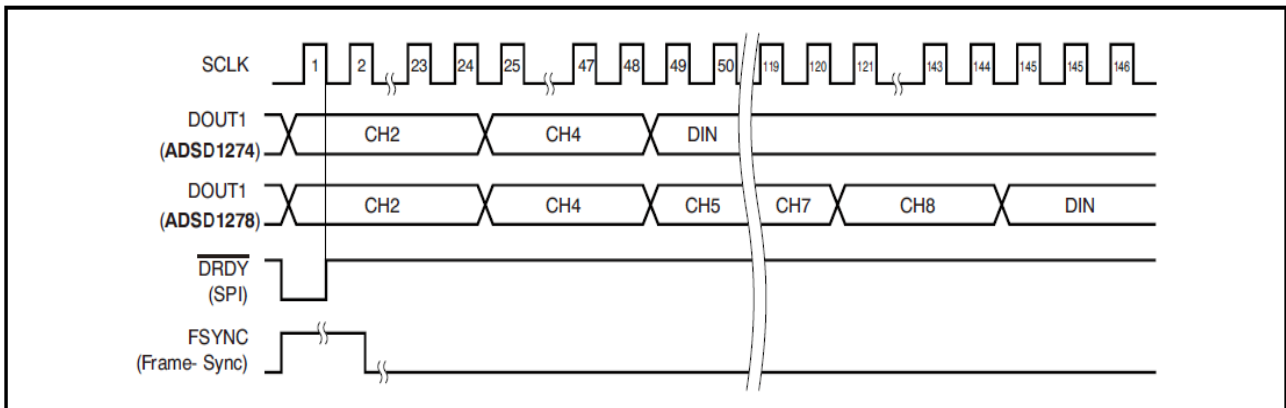
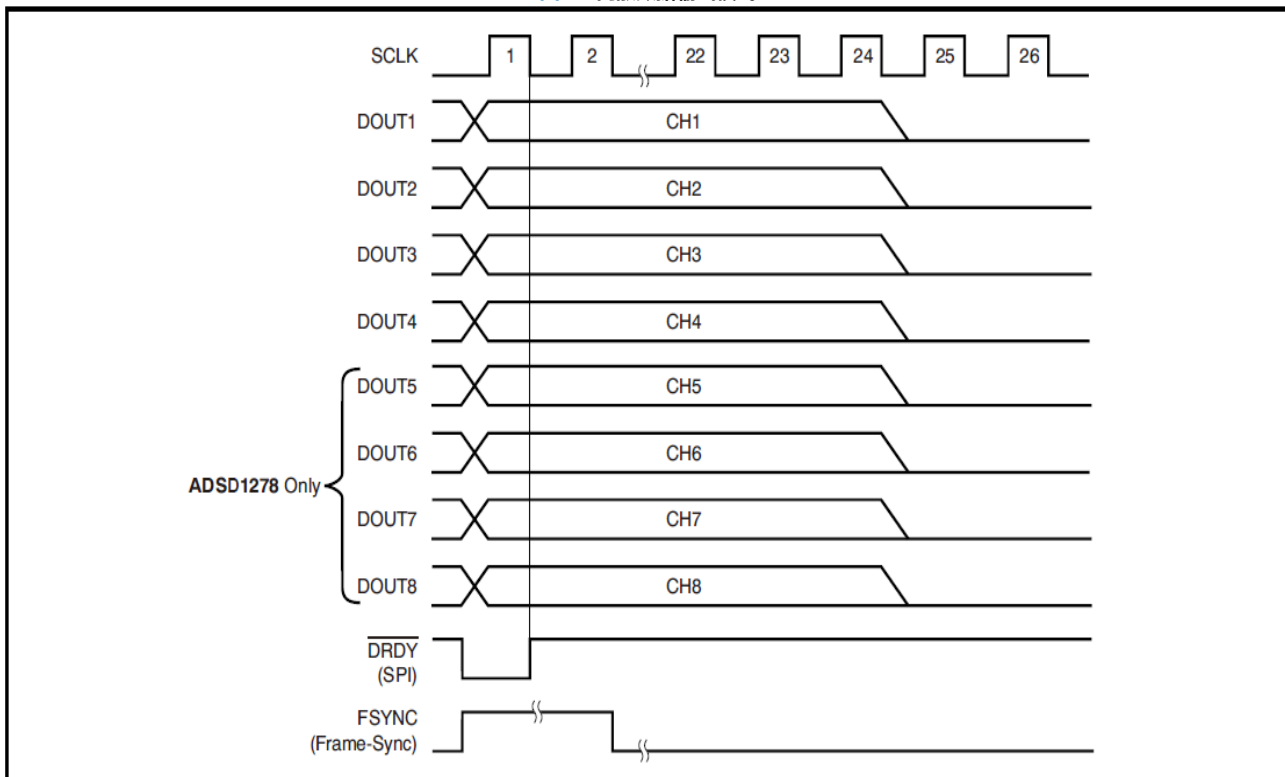


图10. 离散数据输出模式



ADSD1274/1278 4/8通道同步采样, 低噪声24位模数转换器
菊花链

多个ADSD1274/78可菊花链接从单一管脚输出数据。一个芯片的DOUT1数据输出管脚连接到下一个芯片上的DIN。如图11所示, 芯片1的DOUT1管脚向控制器提供输出数据, 芯片2的DIN接地。图12显示了读回数据时的数据格式。可以用于菊花链方式的最大通道数受限于频率 f_{SCLK} 、模式选择、和CLKDIV输入。 f_{SCLK} 必须足够高以便在一个 f_{DATA} 周期内完整地从一个所有通道移出数据。表10列出了当 $f_{SCLK}=f_{CLK}$ 时菊花链的最大通道数。为了增加链中可能的数据通道的数量, 可以使用分段DOUT方案, 产生两个数据流。图13显示了四个ADSD1274/78, 构成ADSD1274/78菊花链对。每个菊花链对的通道数据并行移出, 并由处理器通过独立的数据通道接收。无论接口协议是SPI还是帧同步, 建议通过将SYNC输入绑定在一起同步所有芯片。在SPI协议同步时, 只需监测一个ADSD1274/78的 \overline{DRDY} 输出。在帧同步协议中, 来自所有芯片的数据在FSYNC的上升沿之后已就绪。因为DOUT1和DIN均在SCLK的下降沿移位, DOUT1上的传播延时建立于DIN的建立时间。最小化SCLK的倾斜以避免时间冲突。

表10. 菊花链中的最大通道数($f_{SCLK} : f_{CLK}$)

模式选择	CLKDIV	最大通道数
高速	1	10
高分辨率	1	21
低功耗	1	21
	0	10
低速	1	106
	0	21

图11. 两芯片菊花链, SPI协议(FORMAT[2:0]=000或001)

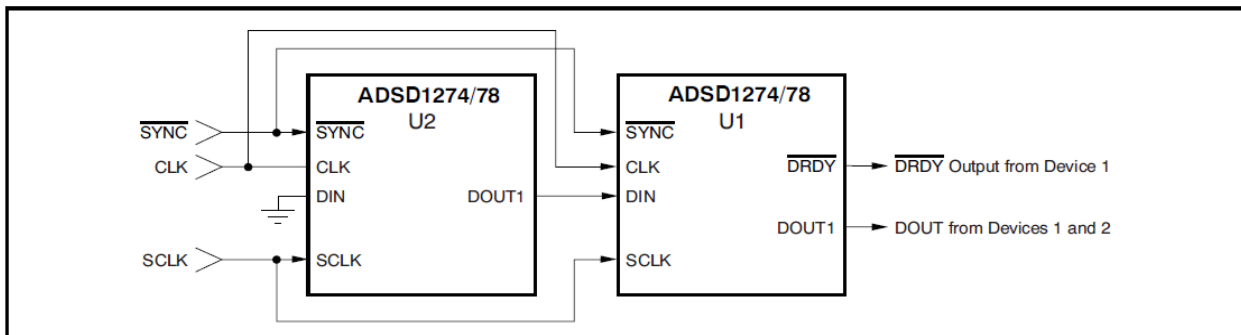


图12. 菊花链数据格式

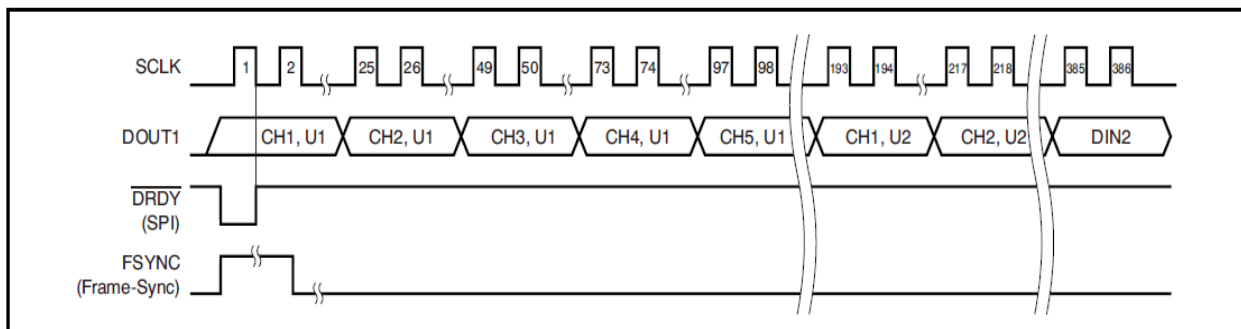
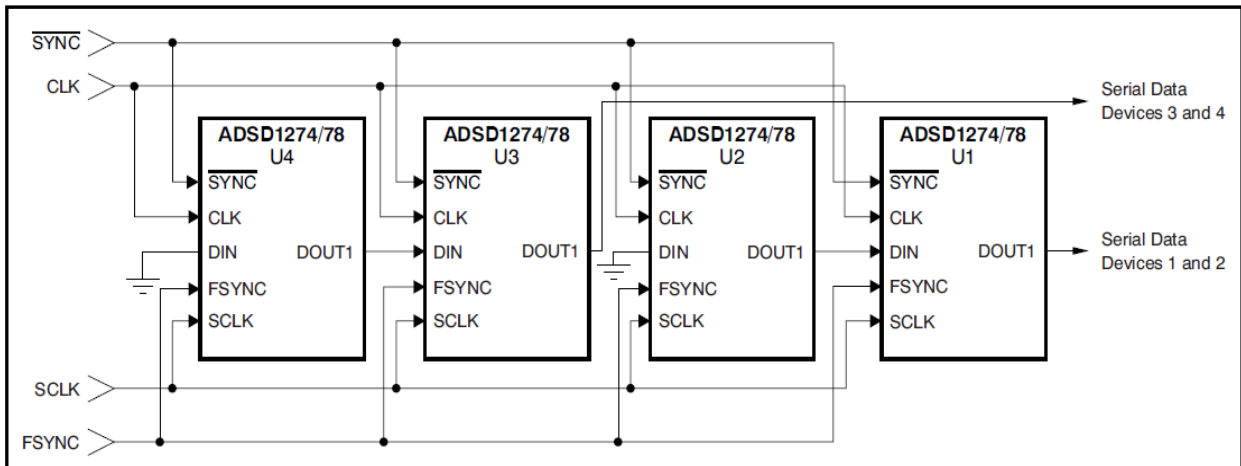


图13. 菊花链DOUT分段, 帧同步协议(FORMAT[2:0]=011或100)

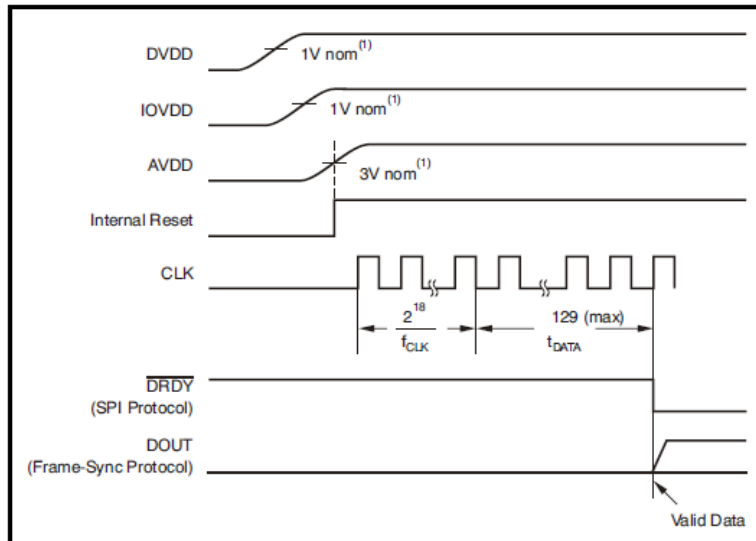


ADSD1274/1278 4/8通道同步采样, 低噪声24位模数转换器

供电

ADSD1274/78有三种电源: AVDD、DVDD和IOVDD。AVDD是为调制器供电的模拟电源, DVDD是为数字核心供电的数字电源, IOVDD是数字I/O电源。如果需要, IOVDD和DVDD电源可以连接在一起(+1.8V)。为了实现额定性能,关键是要将0.1μF和10μF电容器旁路放置在尽可能靠近电源引脚的位置。可以用单个10μF陶瓷电容器代替两个电容器。图14显示了ADSD1274/78的启动顺序。通电时,先打开DVDD电源,然后打开IOVDD,再打开AVDD。检查电源顺序是否正确,包括每个电源的斜坡速率。DVDD和IOVDD可以同时测序(例如,如果电源连接在一起)。每个电源都有一个内部复位电路,其输出相加在一起以产生全局通电复位。在电源已经超过重置阈值之后,在转换器启动转换过程之前,对 2^{18} 个 f_{CLK} 周期进行计数。在CLK周期之后,ADSD1274/78抑制129转换的数据,以允许输出完全稳定的数据。在SPI协议中, \overline{DRDY} 在此间隔期间保持高电平。在帧同步协议中,DOUT被强制为零。应在驱动任何模拟或数字引脚之前使用电源。为了获得一致的性能,请在数据首次出现时,在设备通电后断言SYNC。

图14. 启动顺序



(1)近似的上电复位阈值

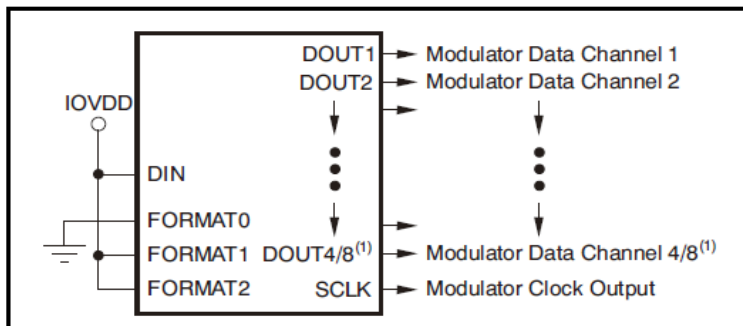
调制器输出

ADSD1274/78包含一个六阶、单比特、斩波稳定调制器,后面是一个多级数字滤波器,可产生转换结果。调制器的数据流输出可直接使用,绕过内部数字滤波器。数字滤波器被禁用,从而降低DVDD电流,如表11所示。在这种模式中,需要在ASIC、FPGA或类似设备中实现的外部数字滤波器。要调用调制器输出,请使用FORMAT[2:0],如图15所示。DOUT[4:1]/[8:1]变为每个通道的调制器数据流输出,SCLK变为调制器时钟输出。DRDY/FSYNC引脚变为未使用的输出,可以忽略。帧同步和SPI接口的正常操作被禁用,SCLK的功能从输入变为输出,如图15所示。

表11. 调制器输出时钟频率

模式 [1:0]	CLKDIV	调制器时钟输出 (SCLK)	ADSD1274 DVDD (mA)	ADSD1278 DVDD (mA)
00	1	$f_{CLK}/4$	4.5	8
01	1	$f_{CLK}/4$	4.0	7
10	1	$f_{CLK}/8$	2.5	4
	0	$f_{CLK}/4$	2.5	4
11	1	$f_{CLK}/40$	1.0	1
	0	$f_{CLK}/8$	0.5	1

图15. 调制器输出

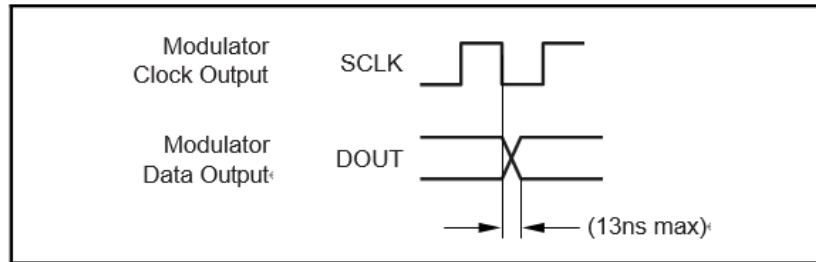


(1) ADS1274为四通道; ADS1278为八通道。

ADSD1274/1278 4/8通道同步采样, 低噪声24位模数转换器

在调制器输出模式, 调制器时钟输出(SCLK)的频率取决于ADSD1274/78的模式选择。表11列出了调制器时钟输出频率和DVDD电流与芯片模式的比较。图16说明调制器和数据输出的时序关系。数据输出被调制为1s密度数据流。当 $V_{IN} = +V_{REF}$, 1s密度大约为80%, 而当 $V_{IN} = -V_{REF}$ 时, 1s密度大约为20%。

图16. 调制器输出时序



使用TEST[1:0]输入的管脚测试

ADSD1274/78的测试模式特性允许连续测试数字I/O管脚。在此模式下, 数字管脚的正常功能被关闭并通过内部逻辑路由到其它功能(对), 如表12所示, 表中左列的管脚驱动右列的输出管脚。注: 部分数字输入管脚变为输出; 设计中必须考虑到这些输出。模拟输入、电源和接地管脚均保持正常连接。测试模式通过设置管脚TEST[1:0]=11来实现。对于正常的转换器操作, 设置TEST[1:0]=00, 不要使用“01”或“10”。

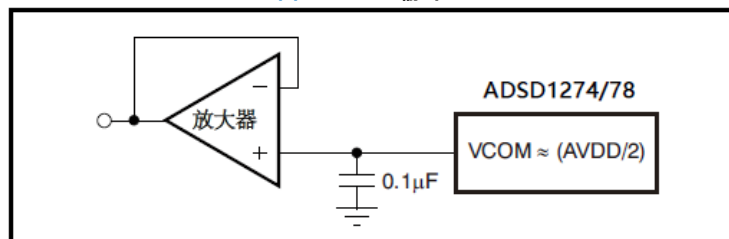
表12. 测试模式管脚映射 (Test[1:0]=11)

输入管脚	输出管脚
$\overline{PWDN1}$	DOUT1
$\overline{PWDN2}$	DOUT2
$\overline{PWDN3}$	DOUT3
$\overline{PWDN4}$	DOUT4
$\overline{PWDN5}$	DOUT5
$\overline{PWDN6}$	DOUT6
$\overline{PWDN7}$	DOUT7
$\overline{PWDN8}$	DOUT8
MODE0	DIN
MODE1	\overline{SYNC}
FORMAT0	CLKDIV
FORMAT1	$\overline{FSYNC}/\overline{DRDY}$
FORMAT2	SCLK

VCOM输出

VCOM管脚提供一个电压为 $AVDD/2$ 的输出。使用此输出的目的是设置模拟输入设备的输出共模模式电平。此输出的驱动能力是受限制的; 所以输出仅用作驱动高阻抗($>1M\Omega$)节点。在一些情况下, 需要外部缓冲。一个 $0.1\mu F$ 的旁路电容被推荐用来减少噪声。

图17. VCOM输出



ADSD1274/1278 4/8通道同步采样, 低噪声24位模数转换器

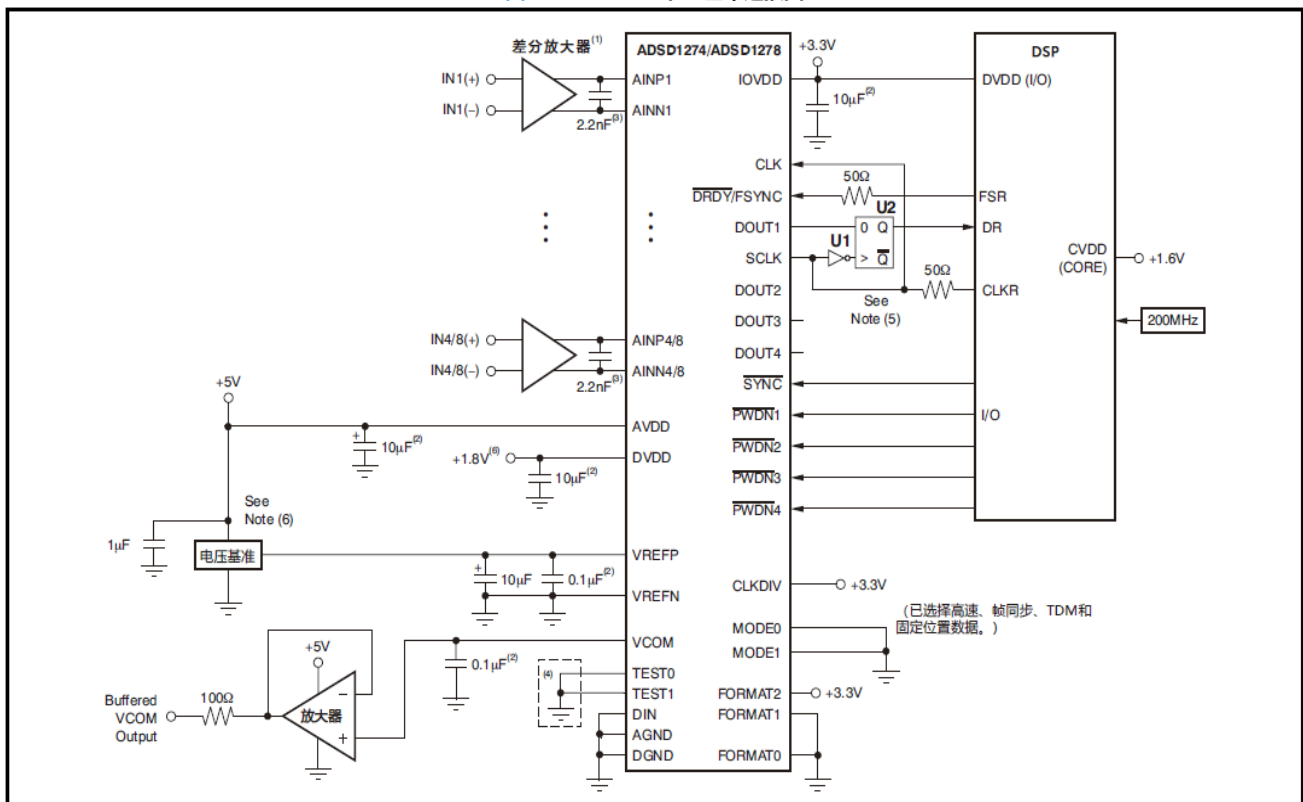
应用信息

为从ADSD1274/78获得规定的特性, 下述布局和元件指引须考虑。

1. 电源提供: 芯片要求三个操作电源: DVDD、IOVDD和AVDD。DVDD的允许范围为1.65V至1.95V (32.768MHz < f_{CLK} ≤ 37MHz: 2.0V至2.2V); IOVDD的范围为1.65V至3.6V; AVDD限制为4.75V至5.25V。所有的电源提供, 使用一个10μF的钽电容, 和一个0.1μF的旁路陶瓷电容就近放置于芯片管脚。或者使用单个10μF的陶瓷电容。电源应对噪声不敏感并且不与产生电压峰值的设备共用(如继电器、LED显示驱动等等)。假如采用开关电源, 电压纹波应较低(少于2mV)并且开关频率在转换器的通带之外。
2. 铺地: 可以使用单一的铺地连接AGND与DGND管脚。假如使用分离的数字地和模拟地, 一起连接它们到转换器。
3. 数字输入: 推荐在数字输入到芯片间串联50Ω的电阻。此电阻应就近放置于数字源(振荡器、逻辑门、DSP等等)的驱动端。此方法有助于减少在数字线路上的纹波(纹波将引起ADC特性的退化)。
4. 模拟/数字电路: 放置模拟电路(输入缓冲、参考)和相关的导线一起, 保证它们远离数字电路(DSP、微控制器、逻辑)。避免数字线路与模拟线路间的跨越以减少噪声耦合和交越。
5. 参考电源输入: 推荐使用一个最小10μF的钽电容和一个0.1μF的陶瓷电容直接接在参考输入VREFP和VREFN。参考输入由一低阻抗源驱动。为达到最优特性, 参考源须小于3μVRMS的带内噪声。当参考源的噪声高过此水平时, 有必要引入外部参考电源滤波器。
6. 模拟输入: 模拟输入管脚需要差分驱动以实现规定的特性。一个真实的差分驱动器或互感器(交流应用)可用于此目的。使用短的布线将模拟输入(AINP、AINN)成对地从缓冲连接到转换器, 采用直的走线并远离数字布线。一个1nF到10nF的电容直接连接到模拟输入管脚AINP和AINN。使用低K介质(如COG或铬膜)以保持低的信噪比。每一模拟输入对地使用电容。它们的容量应不大于差分电容(典型地100pF)的1/10以避免共模效应。
7. 元件放置: 将电源、模拟输入、参考电源输入的旁路电容尽可能地靠近芯片管脚。这种布局对于小容量的陶瓷电容尤为重要。大容量退耦电容可以比小的陶瓷电容离芯片放置得远一些。

图18至图20说明了可与ADSD1274一起使用的基本连接和接口。

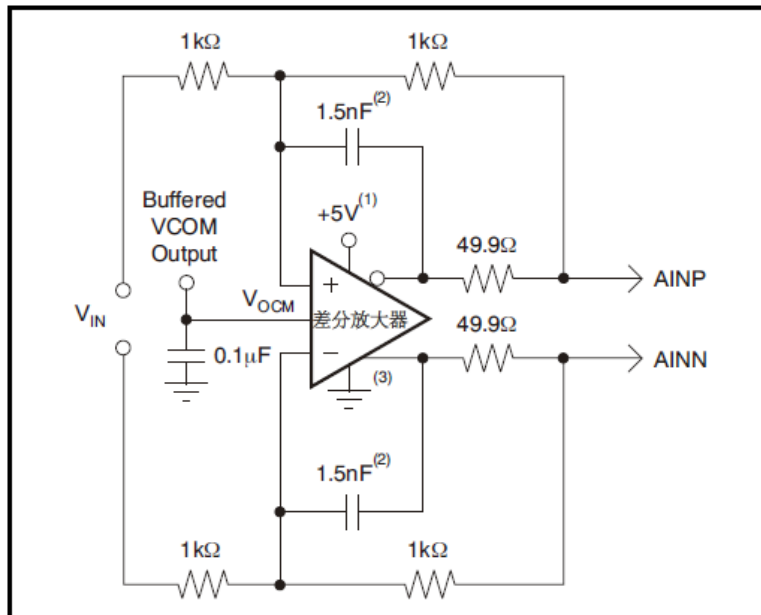
图18. ADSD1274/78基本连接图



- (1) 可能需要外部肖特基箝位二极管或串联电阻器来防止输入上的过电压。将差分放大器靠近ADSD1278输入。
- (2) 表示陶瓷电容器。
- (3) 表示COG陶瓷电容器。
- (4) 可选。用于测试模式。
- (5) U1:74LVC1G04; U2:74LVC2G74。这些组件对ADSD1274/78数据输出重新计时, 以便与DSP连接。
- (6) 如果CLK>32.768MHz, 则使用电压基准并且DVDD=2.1V。

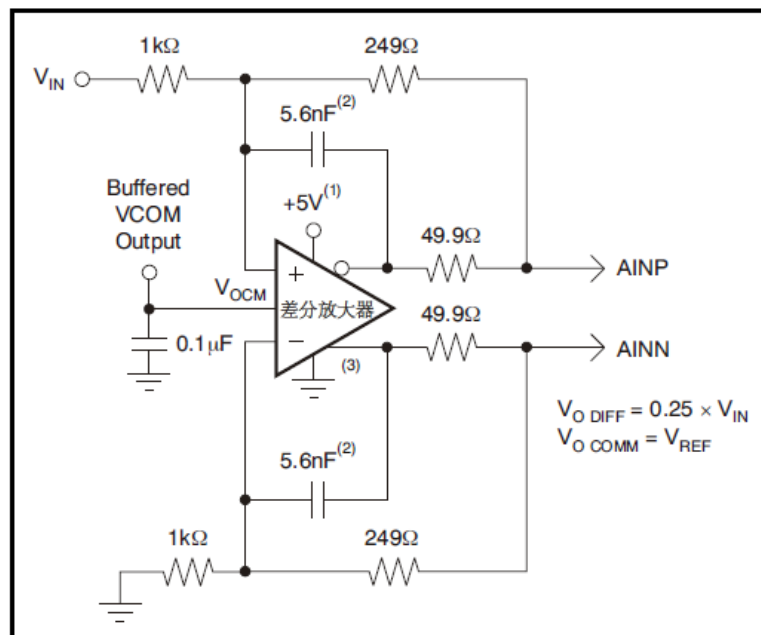
ADSD1274/1278 4/8通道同步采样, 低噪声24位模数转换器

图19. 基本差分输入信号接口



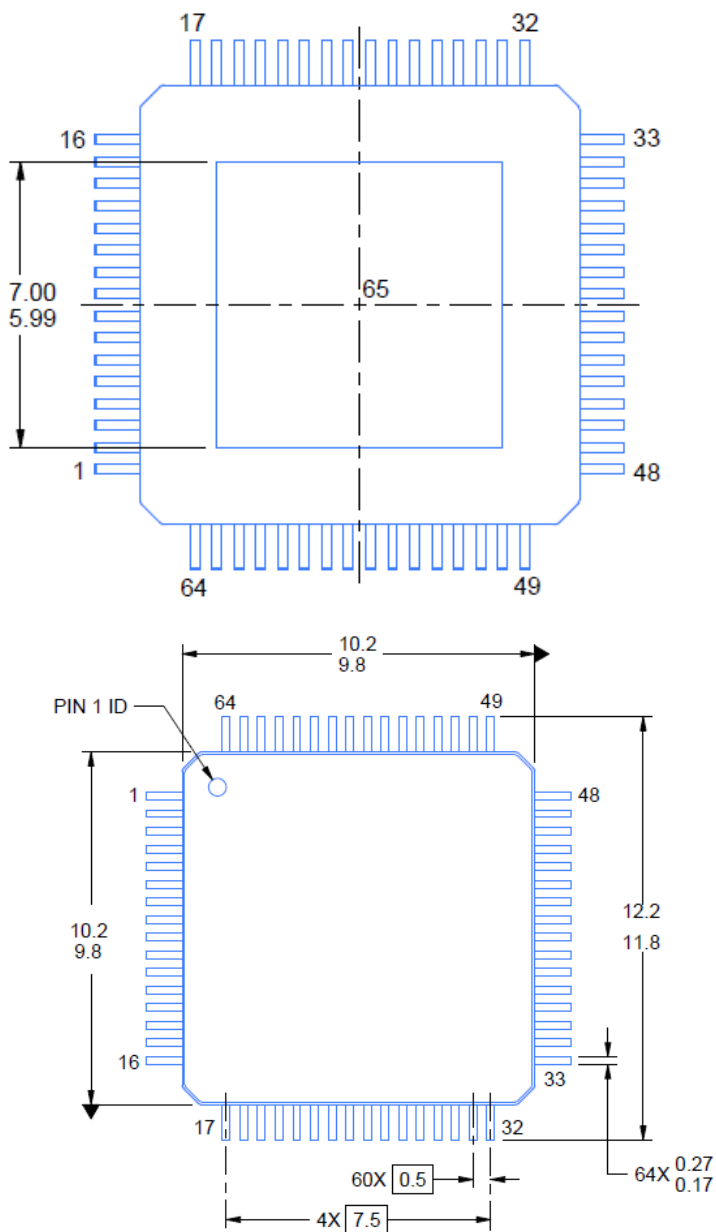
- (1) 使用10μF和0.1μF电容器进行旁路。
- (2) 2.7nF用于低功率模式；低速模式为15nF。
- (3) 备用运算放大器（使用±12V电源）。

图20. 基本单端输入信号接口



- (1) 使用10μF和0.1μF电容器进行旁路。
- (2) 10nF用于低功率模式；56nF用于低速模式。
- (3) 备用运算放大器（使用±12V电源）。

ADSD1274/1278 4/8通道同步采样, 低噪声24位模数转换器
封装信息



器件订购信息列表

产品型号	温度范围	封装	包装形式	ROHS
ADSD1274LFP	-40°C 至 +85°C	64-TQFP	168/托盘	Y
ADSD1278LFP	-40°C 至 +85°C	64-TQFP	168/托盘	Y